

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-037301

(43)Date of publication of application : 06.02.1996

(51)Int.Cl.

H01L 29/78  
H01L 21/28  
H01L 21/318  
H01L 21/3205

(21)Application number : 06-170604

(71)Applicant : NEC CORP

(22)Date of filing : 22.07.1994

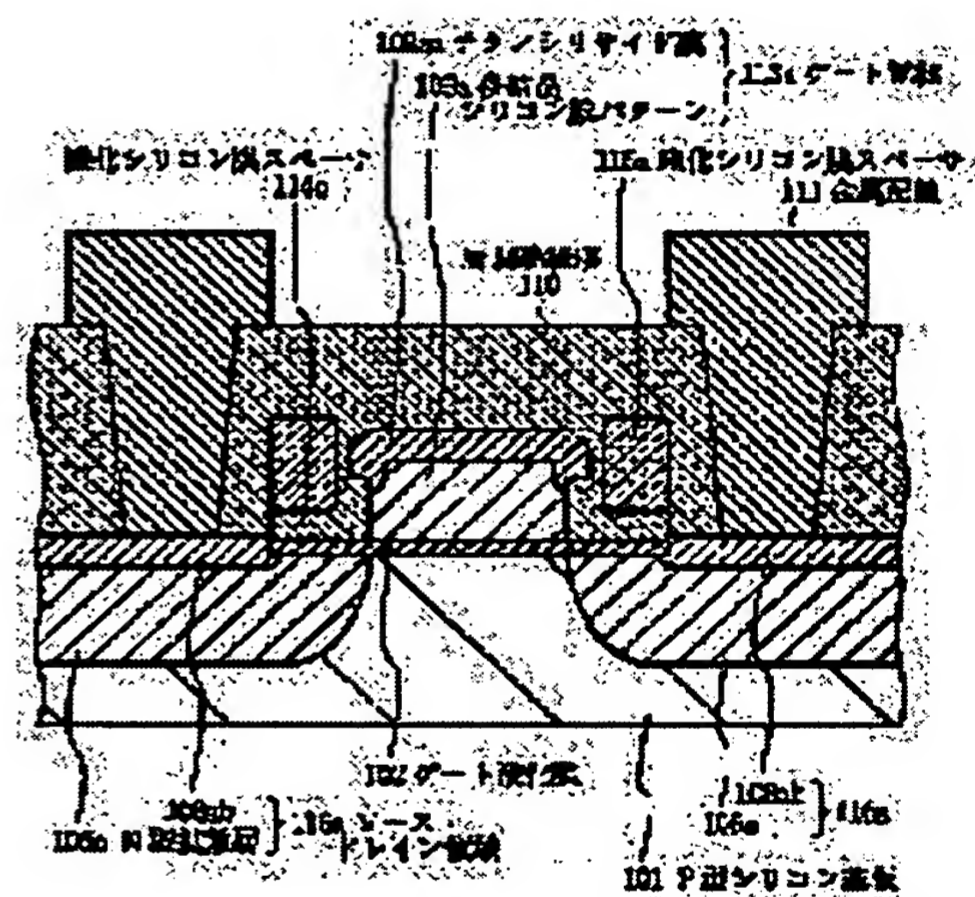
(72)Inventor : KAWAGUCHI HIROSHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

PURPOSE: To provide the structure of a semiconductor device and its manufacturing method whereby the increase of the resistivity of its gate electrode can be suppressed, and as a result, the bridging phenomena generated between its gate electrode and its source-drain region can be suppressed.

CONSTITUTION: A gate electrode 113a of a semiconductor device comprises a polycrystal silicon film 103a and a titanium silicide film 108aa, and the contacting width of both films 103a, 108aa is larger than the gate length of the semiconductor device. Further, the spacer of the semiconductor device comprises a silicon oxide film spacer 114a whose upper end is lower than the top surface of the gate electrode 113a and a silicon nitride film spacer 115a whose upper end is higher than the top surface of the gate electrode 113a.



## LEGAL STATUS

[Date of request for examination] 22.07.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2606143

[Date of registration] 13.02.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The gate oxide prepared in the front face of the silicon substrate of one conductivity type, The gate electrode which consists of the 1st titanium silicide film prepared in the front face of the polycrystalline silicon film pattern of the predetermined conductivity type formed on the front face of this silicon substrate through this gate oxide, and this polycrystalline silicon film pattern, It has the source drain field which consists of an insulator layer spacer formed in the side face of this gate electrode, and the 2nd titanium silicide film which prepared in the front face of this silicon substrate, and was prepared in the front face of the diffusion layer of a \*\*\*\*\* reverse conductivity type, and this diffusion layer except directly under [ this / insulator layer spacer ], The semiconductor device by which the upper limit of a \*\*\*\*\* and said insulator layer spacer combines that it is higher than the top face of said gate electrode, and die length which contacts along the direction of gate length of said gate electrode of said polycrystalline silicon film pattern and said 1st titanium silicide film is characterized from this gate length.

[Claim 2] The semiconductor device according to claim 1 characterized by having at least the 1st insulator layer spacer which said insulator layer spacer covers the front face of said gate oxide directly, covers the side face of said polycrystalline silicon film directly, and has upper limit lower than the top face of said gate electrode, and the 2nd insulator layer spacer in which it has upper limit higher than the top face of said gate electrode, and this gate electrode was prepared on the side face through said 1st insulator layer spacer.

[Claim 3] The semiconductor device according to claim 2 characterized by for said 1st insulator layer spacer consisting of silicon oxide film, and said 2nd insulator layer spacer consisting of a silicon nitride film.

[Claim 4] The semiconductor device according to claim 1 with which the top face of said polycrystalline silicon film pattern is characterized by having a crevice parallel to the gate width direction of said gate electrode.

[Claim 5] The semiconductor device according to claim 4 characterized by said insulator layer spacer consisting of silicon oxide film.

[Claim 6] Gate oxide is formed in the necessary field of the front face of the silicon substrate of one conductivity type. The process which forms in the whole surface the polycrystalline silicon film which has the 1st thickness with a predetermined conductivity type, and forms the polycrystalline silicon film pattern which carries out patterning of this polycrystalline silicon film, and has desired width of face, The process which carries out sequential formation of the silicon oxide film and silicon nitride insulator layer which have the 2nd and 3rd thickness on the whole surface, respectively, The process which performs the 1st etchback by anisotropic etching alternatively to said silicon nitride film, and forms a silicon nitride film spacer in the side face of said polycrystalline silicon film pattern through said silicon oxide film, The 2nd etchback by anisotropic etching is alternatively performed in said silicon oxide film list to said gate oxide. The process which forms in the side face of said polycrystalline silicon film pattern the silicon oxide

film spacer which has predetermined height lower than said 1st thickness, By the ion implantation which used said polycrystalline silicon film pattern, said silicon oxide film spacer, and said silicon nitride film spacer as the mask By the process which forms the diffusion layer of a reverse conductivity type in the front face of said silicon substrate, and sputtering The 1st titanium silicide film and the 2nd titanium silicide film are formed in the front face of said polycrystalline silicon film pattern, and the front face of said diffusion layer, respectively by the process which forms in the whole surface the titanium film which has the 4th thickness, and heat treatment. this titanium film unreacted at least — alternative — removing — this — the 1st titanium silicide film — and — this — the manufacture approach of the semiconductor device characterized by having the process which saves the 2nd titanium silicide film.

[Claim 7] The manufacture approach of a semiconductor device according to claim 6 that said 4th thickness is characterized by being thinner than said 2nd thickness.

[Claim 8] After forming said titanium film by KORIMETORI sputtering and forming the titanium nitride film which has the 5th thickness on the front face of this titanium film by plasma nitriding, said heat treatment is performed in an argon or a helium ambient atmosphere, The manufacture approach of a semiconductor device according to claim 6 that the sum of said 1st thickness and said 2nd thickness combines that it is larger than the sum of said predetermined height and said 4th thickness, and the difference of this 4th thickness and said 5th thickness is larger than the difference of this 1st thickness and this predetermined height, and is characterized by it.

[Claim 9] Gate oxide is formed in the necessary field of the front face of the silicon substrate of one conductivity type. The polycrystalline silicon film which has the 1st thickness with a predetermined conductivity type, and the 1st silicon oxide film which has desired thickness are formed in the whole surface. this — the 1st silicon oxide film and this polycrystalline silicon film — patterning — carrying out — this — the 1st silicon oxide film being laid and with the process which forms the polycrystalline silicon film pattern which has desired width of face It carries out to the 2nd silicon oxide film and said 1st silicon oxide film list alternatively to said gate oxide. the 1st etchback form in the whole surface the 2nd silicon oxide film which has the 2nd thickness, and according to anisotropic etching — this — it has the 3rd thickness on the front face of said polycrystalline silicon film pattern — this — the 1st silicon oxide film being saved and with the process which forms a silicon oxide film spacer in the side face of this polycrystalline silicon film pattern Form in the whole surface the silicon nitride film which has the 4th thickness, and the 2nd etchback by anisotropic etching is alternatively performed to this silicon nitride film. The process which forms a silicon nitride film spacer in the side face of said polycrystalline silicon film pattern through said silicon oxide film spacer, By the ion implantation which used said polycrystalline silicon film pattern, said 1st silicon oxide film, and said silicon oxide film spacer as the mask at least The process which forms the diffusion layer of a reverse conductivity type in the front face of said silicon substrate, and anisotropic etching perform the 3rd etchback in said 1st silicon oxide film list alternatively to said silicon oxide film spacer. this — the 1st silicon oxide film being removed and by the process which makes this silicon oxide film spacer predetermined height lower than said 1st thickness, and sputtering The 1st titanium silicide film and the 2nd titanium silicide film are formed in the front face of said polycrystalline silicon film pattern, and the front face of said diffusion layer, respectively by the process which forms in the whole surface the titanium film which has the 5th thickness, and heat treatment. this titanium film unreacted at least — alternative — removing — this — the 1st titanium silicide film — and — this — the manufacture approach of the semiconductor device characterized by having the process which saves the 2nd titanium silicide film.

[Claim 10] The manufacture approach of a semiconductor device according to claim 9 that said 5th thickness is characterized by being thinner than said 3rd thickness.

[Claim 11] After forming said titanium film by KORIMETORI sputtering and forming the titanium nitride film which has the 6th thickness on the front face of this titanium film by plasma nitriding, said heat treatment is performed in an argon or a helium ambient atmosphere, The manufacture approach of a semiconductor device according to claim 9 that the sum of said 1st thickness and

said 3rd thickness combines that it is larger than the sum of said predetermined height and said 5th thickness, and the difference of this 5th thickness and said 6th thickness is larger than the difference of this 1st thickness and this predetermined height, and is characterized by it.

[Claim 12] Gate oxide is formed in the necessary field of the front face of the silicon substrate of one conductivity type. The process which forms in the whole surface the polycrystalline silicon film which has the 1st thickness with a predetermined conductivity type, and forms the polycrystalline silicon film pattern which carries out patterning of this polycrystalline silicon film, and has desired width of face, The process which carries out sequential formation of the 1st silicon oxide film which has the 2nd, 3rd, and 4th thickness on the whole surface, respectively, a silicon nitride insulator layer, and the 2nd silicon oxide film, Carry out to said 3rd silicon oxide film until the front face of said silicon nitride film exposes the 1st etchback by anisotropic etching, and said the 1st silicon oxide film and this silicon nitride film are mended. the side face of said polycrystalline silicon film pattern -- this -- with the process which forms the 1st silicon oxide film spacer which consists of the 2nd silicon oxide film The process which performs the 2nd etchback by anisotropic etching alternatively to said silicon nitride film, and forms a silicon nitride film spacer in the side face of said polycrystalline silicon film pattern through said 1st silicon oxide film,

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the semiconductor device which comes to contain the MOS transistor which has the Salicide structure, and its manufacture approach about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] In the semiconductor device which comes to contain an MOS transistor, high integration of a semiconductor device and improvement in the speed have mainly been made by contraction of the thickness of the gate dielectric film of an MOS transistor, channel length, channel width, the width of face of a diffusion layer, a wiring pitch (wiring width of face and wiring spacing), etc. If a certain device is not given with these contraction, parasitism resistance etc. will increase and trouble will be caused to improvement in the speed of a semiconductor device. Improvement in the speed has been coped with by making layer resistance of a gate electrode low until the design Ruhr turns into the submicron design Ruhr. The polycide structure which consists of a cascade screen of the polycrystalline silicon film (for example, N type) and the refractory metal silicide film was adopted as the structure of the gate electrode in this phase. As refractory metal silicide film, the tungsten silicide film or the molybdenum silicide film has mainly been used. In addition, if the point of the lowness of layer resistance is noted, the gate electrode of polycide structure using the titanium silicide film will be very desirable. Nevertheless, practical use was not presented with the gate electrode of polycide structure using the titanium silicide film. Etching workability [ as opposed to the cascade screen of the titanium silicide film and the polycrystalline silicon film in this ] (dry etching) is because it is very difficult.

[0003] If the design Ruhr turns into the submicron design Ruhr, achievement of improvement in the speed of the above-mentioned semiconductor device will become difficult only by making layer resistance of a gate electrode low. This is because the height of the layer resistance between a contact hole (source drain field where wiring is connected), and a channel field becomes the main inhibition factor of improvement in the speed, consequently reduction of parasitism resistance of a source drain field is becoming important. The MOS transistor of the Salicide structure where the refractory metal silicide film was formed in the front face of the polycrystalline silicon film pattern which forms a gate electrode, and the front face of the diffusion layer which makes a source drain field in self align as a cure of this is put in practical use. As refractory metal silicide film used for this, the titanium silicide film is main and examination of the cobalt silicide film, the nickel silicide film, etc. is reported to others.

[0004] The summary of the formation approach of an MOS transistor, the Salicide structure, for example, the N channel mold, using the titanium silicide film, is as follows.

[0005] Field oxide and gate oxide are formed in the front face of the silicon substrate of P type by the oxidizing [ thermally ] method. The polycrystalline silicon film of N type is formed in the whole surface, patterning of this is carried out and a polycrystalline silicon film pattern is formed.

The silicon oxide film is formed in the whole surface of vapor growth, etchback of this film is carried out by anisotropic etching, and a silicon oxide film spacer is formed in the side face of a polycrystalline silicon film pattern. Generally, the height of this silicon oxide film spacer is equal to the thickness of a polycrystalline silicon film pattern. The diffusion layer of N type is formed of the ion implantation which used these polycrystalline silicon film pattern and the silicon oxide film spacer as the mask. When the width of face (equal to the thickness of the above-mentioned silicon oxide film in general) of a silicon oxide film spacer is wide, in advance of formation of this silicon oxide film spacer (the above-mentioned silicon oxide film), the diffusion layer of low-concentration N type may be formed of the ion implantation which used the polycrystalline silicon film pattern as the mask. The titanium film is formed in the whole surface of sputtering, and the 1st and 2nd titanium silicide film is formed in the front face of a polycrystalline silicon film pattern, and the front face of a diffusion layer respectively in self align of lamp annealing in a nitrogen (N<sub>2</sub>) ambient atmosphere. At this time, the titanium nitride film is formed in the front face of the titanium film, and the titanium film of the part which contacted the silicon oxide (ideally) film spacer directly is saved, while it has been unreacted. Etching removal of the unreacted titanium film and the unreacted titanium nitride film is alternatively carried out with hydrogen-peroxide (H<sub>2</sub> O<sub>2</sub>) water (ammonia (NH<sub>4</sub> OH) may be added). Thereby, the above-mentioned MOS transistor is completed. Furthermore, formation of an interlayer insulation film, formation of a contact hole, and formation of metal wiring are performed.

[0006] The reason the titanium silicide film is used abundantly is just in above-mentioned etching workability. It is not necessarily easy to save this refractory metal silicide film and to remove the unreacted refractory metal film alternatively by other refractory metal silicide film. The range of the temperature of the above-mentioned lamp annealing is 600 degrees C – 900 degrees C. When the temperature of lamp annealing is low, the structure of the titanium silicide film obtained is C49 structure which is a high resistance phase. The structure of the titanium silicide film obtained to it when the temperature of lamp annealing is high is C54 structure which is a low resistance phase. The resistivity of the titanium silicide film of C54 structure is 15micro ohm-cm extent.

[0007] The design Ruhr was arrived at in improvement in the speed by the MOS transistor of the above-mentioned structure (Salicide structure using the titanium silicide film) up to the half micron design Ruhr (gate length is 0.5 micrometers). For example, the phase transition temperature on short \*\*\*\*\* and the appearance from C49 to C54 of the titanium silicide film rises [ gate length ] as reported to the 38th volume, No. 2, and 262 pages – 269 pages in IEEE-transactions-ON-electron-Debye Shizu (IEEE TRANSACTIONS ON ELECTRON DEVICES) 1991. Furthermore, the titanium silicide film of C54 structure causes condensation by heat treatment, and the resistivity on appearance rises. This condensation is the function of heat treatment temperature and heat treatment time amount. It becomes difficult to obtain the gate electrode of low resistance from these things in 0.35-micrometer design Ruhr, for example.

[0008] The policy to which gate length does not need to raise the resistivity of the titanium silicide film of C54 structure by the short paddle case, either is reported to the 198th volume and 53 pages – 66 pages in Singh-solid-FIRUMUSU (Thin Solid Films) 1991. \*\*\*\*\* explanation of the explanation of the contents of this report is given at this invention person's supplementary examination.

[0009] if drawing 17 which is the typical sectional view of a semiconductor device is referred to -- the above-mentioned report -- a basis -- the MOS transistor of the N channel mold of the Salicide structure which the \*\*\*\*\* this invention person formed is as follows. Gate oxide 302 of about 8nm of thickness and field oxide (not shown), and the N type diffusion layer 306 with a depth [ of junction ] of about 0.15 micrometers are formed in the front face of the P type silicon substrate 301. On the front face of the P type silicon substrate 301, the gate electrode 313 is formed through gate oxide 302. This gate electrode 313 is constituted from the cascade screen of polycrystalline silicon film pattern 303a of N type with a width of face (= gate length) of about

350nm, and titanium silicide film 308a of about 80nm of thickness by about 360nm thickness. The silicon oxide film spacer 314 with a height of about 250nm is formed in the side face of this gate electrode 313 by width of face of about 150nm. Titanium silicide film 308b of about 80nm of thickness is prepared in the front face of the N type diffusion layer 306 in self align at the silicon oxide film spacer 314. The source drain field 316 consists of these N type diffusion layer 306 and titanium silicide film 308b.

[0010] In the phase before the titanium silicide film 308a and 308b is formed, the thickness of a polycrystalline silicon film pattern is about 400nm, and the thickness of the titanium film is about 100nm. In this phase, the upper limit (height) of the silicon oxide film spacer 314 is lower about 150nm than the top face (thickness) of this polycrystalline silicon film pattern. The die length which this titanium film and this polycrystalline silicon film contact in the direction of channel length is about 650nm, and is long enough compared with gate length (350nm). Lamp annealing in nitrogen-gas-atmosphere mind is performed for 30 seconds at 650 degrees C, and is performed for 10 seconds at 850 more degrees C. Thus, the titanium silicide film 308a and 308b formed of this lamp annealing serves as C54 structure from a certain thing, and, as for these resistivity, 0.5 micrometers or more of contact length of the titanium film in the direction of channel length and the polycrystalline silicon film become about 15micro ohm-cm extent.

[0011]

[Problem(s) to be Solved by the Invention] As mentioned above, the rise of the resistivity of the titanium silicide film can be controlled by the policy of the above-mentioned report. However, by this policy, the fault called a bridging phenomenon is uncanceled.

[0012] Although the cause is not certain in case lamp annealing of the titanium film is carried out by nitrogen-gas-atmosphere mind if drawing 18 which is the typical sectional view of a semiconductor device is referred to, titanium silicide film 308c is locally formed in the front face of the silicon oxide film spacer 314. this titanium silicide film 308c -- the leak pass between titanium silicide film 308a (gate electrode 313) and titanium silicide film 308b (source drain field 316) -- becoming -- increase of the leakage current between these -- a short circuit will be produced further. Leakage current increases between that titanium silicide film 308c exists in the front face of the silicon oxide film spacer 314 locally in this way, and the gate electrode 313 and the source drain field 316, and a bridging phenomenon is a phenomenon which named generically the thing which a short circuit arises and \*\*, and to become. The magnitude of this leakage current and the degree of generating of a short circuit are in inverse proportion to spacing of titanium silicide film 308a and titanium silicide film 308b along the front face of the silicon oxide film spacer 314. For this reason, if this policy is used, a bridging phenomenon will become remarkable from the usual case.

[0013] Therefore, the purpose of this invention is in the MOS transistor of the Salicide structure by the titanium silicide film to offer the semiconductor device which controls or inhibits a bridging phenomenon, without raising the resistivity of this titanium silicide film, and its manufacture approach.

[0014]

[Means for Solving the Problem] The description of the semiconductor device of this invention is prepared in the front face of the silicon substrate of one conductivity type. \*\*\*\*\* gate oxide, The gate electrode which consists of the 1st titanium silicide film prepared in the front face of the polycrystalline silicon film pattern of the predetermined conductivity type formed on the front face of a silicon substrate through this gate oxide, and this polycrystalline silicon film pattern, It has the source drain field which consists of an insulator layer spacer formed in the side face of a gate electrode, and the 2nd titanium silicide film which prepared in the front face of a silicon substrate and was prepared in the front face of the diffusion layer of a \*\*\*\*\* reverse conductivity type, and the diffusion layer except directly under [ insulator layer spacer ], The upper limit of a \*\*\*\*\* and the above-mentioned insulator layer spacer has the die length which contacts along the direction of gate length of the above-mentioned gate electrode of the

above-mentioned polycrystalline silicon film pattern and the titanium silicide film of the above 1st from gate length in it being higher than the top face of the above-mentioned gate electrode. [0015] Preferably, the above-mentioned insulator layer spacer covers the front face of the above-mentioned gate oxide directly, and covers directly the side face of the above-mentioned polycrystalline silicon film, and it has at least the 1st insulator layer spacer which has upper limit lower than the top face of the above-mentioned gate electrode, and the 2nd insulator layer spacer in which it has upper limit higher than the top face of the above-mentioned gate electrode, and the gate electrode was prepared on the side face through the insulator layer spacer of the above 1st. Furthermore, the insulator layer spacer of the above 1st consists of silicon oxide film, and the insulator layer spacer of the above 2nd consists of a silicon nitride film.

[0016] The top face of the above-mentioned polycrystalline silicon film pattern has a crevice parallel to the gate width direction of the above-mentioned gate electrode still more preferably. Furthermore, the above-mentioned insulator layer spacer consists of silicon oxide film.

[0017] The 1st mode of the manufacture approach of the semiconductor device of this invention Gate oxide is formed in the necessary field of the front face of the silicon substrate of one conductivity type. The process which forms in the whole surface the polycrystalline silicon film which has the 1st thickness with a predetermined conductivity type, and forms the polycrystalline silicon film pattern which carries out patterning of this polycrystalline silicon film, and has desired width of face, The process which carries out sequential formation of the silicon oxide film and silicon nitride insulator layer which have the 2nd and 3rd thickness on the whole surface, respectively, The process which performs the 1st etchback by anisotropic etching alternatively to the above-mentioned silicon nitride film, and forms a silicon nitride film spacer in the side face of the above-mentioned polycrystalline silicon film pattern through the above-mentioned silicon oxide film, The 2nd etchback by anisotropic etching is alternatively performed in the above-mentioned silicon oxide film list to the above-mentioned gate oxide. The process which forms in the side face of the above-mentioned polycrystalline silicon film pattern the silicon oxide film spacer which has predetermined height lower than the 1st thickness of the above, By the ion implantation which used the above-mentioned polycrystalline silicon film pattern, the above-mentioned silicon oxide film spacer, and the above-mentioned silicon nitride film spacer as the mask By the process which forms the diffusion layer of a reverse conductivity type in the front face of the above-mentioned silicon substrate, and sputtering The 1st titanium silicide film and the 2nd titanium silicide film are formed in the front face of the above-mentioned polycrystalline silicon film pattern, and the front face of the above-mentioned diffusion layer, respectively by the process which forms in the whole surface the titanium film which has the 4th thickness, and heat treatment. It has the process which removes the unreacted titanium film alternatively at least, and saves this 1st titanium silicide film and this 2nd titanium silicide film.

[0018] Preferably, the 4th thickness of the above is thinner than the 2nd thickness of the above.

[0019] Still more preferably, the above-mentioned titanium film is formed by KORIMETORI sputtering, and after forming the titanium nitride film which has the 5th thickness on the front face of this titanium film by plasma nitriding, the above-mentioned heat treatment is performed in an argon or a helium ambient atmosphere. Furthermore, the sum of the 1st thickness of the above and the 2nd thickness of the above is larger than the sum of the above-mentioned predetermined height and the 4th thickness of the above, and the difference of this 4th thickness and the 5th thickness of the above has it. [ larger than the difference of this 1st thickness and predetermined height ]

[0020] The 2nd mode of the manufacture approach of the semiconductor device of this invention Gate oxide is formed in the necessary field of the front face of the silicon substrate of one conductivity type. The polycrystalline silicon film which has the 1st thickness with a predetermined conductivity type, and the 1st silicon oxide film which has desired thickness are

formed in the whole surface. The process which forms the polycrystalline silicon film pattern which patterning of this the 1st silicon oxide film and this polycrystalline silicon film is carried out, and this 1st silicon oxide film is laid, and has desired width of face, Form in the whole surface the 2nd silicon oxide film which has the 2nd thickness, and the 1st etchback by anisotropic etching is alternatively performed in this 2nd silicon oxide film and the silicon oxide film list of the above 1st to the above-mentioned gate oxide. The process which saves the 1st [ this ] silicon oxide film which has the 3rd thickness on the front face of the above-mentioned polycrystalline silicon film pattern, and forms a silicon oxide film spacer in the side face of this polycrystalline silicon film pattern, Form in the whole surface the silicon nitride film which has the 4th thickness, and the 2nd etchback by anisotropic etching is alternatively performed to the above-mentioned silicon nitride film. The process which forms a silicon nitride film spacer in the side face of the above-mentioned polycrystalline silicon film pattern through the above-mentioned silicon oxide film spacer, By the ion implantation which used the above-mentioned polycrystalline silicon film pattern, the silicon oxide film of the above 1st, and the above-mentioned silicon oxide film spacer as the mask at least The process which forms the diffusion layer of a reverse conductivity type in the front face of the above-mentioned silicon substrate, and the 3rd etchback by anisotropic etching are alternatively performed in the silicon oxide film list of the above 1st to the above-mentioned silicon oxide film spacer. By the process which removes this 1st silicon oxide film and makes this silicon oxide film spacer predetermined height lower than the 1st thickness of the above, and sputtering The 1st titanium silicide film and the 2nd titanium silicide film are formed in the front face of the above-mentioned polycrystalline silicon film pattern, and the front face of the above-mentioned diffusion layer, respectively by the process which forms in the whole surface the titanium film which has the 5th thickness, and heat treatment. It has the process which removes this unreacted titanium film alternatively at least, and saves this 1st titanium silicide film and this 2nd titanium silicide film.

[0021] Preferably, the 5th thickness of the above is thinner than the 3rd thickness of the above.

[0022] Still more preferably, the above-mentioned titanium film is formed by KORIMETORI sputtering, and after forming the titanium nitride film which has the 6th thickness on the front face of this titanium film by plasma nitriding, the above-mentioned heat treatment is performed in an argon or a helium ambient atmosphere. Furthermore, the sum of the 1st thickness of the above and the 3rd thickness of the above is larger than the sum of the above-mentioned predetermined height and the 5th thickness of the above, and the difference of this 5th thickness and the 6th thickness of the above is larger than the difference of this 1st thickness and this predetermined height.

[0023] The 3rd mode of the manufacture approach of the semiconductor device of this invention Gate oxide is formed in the necessary field of the front face of the silicon substrate of one conductivity type. The process which forms in the whole surface the polycrystalline silicon film which has the 1st thickness with a predetermined conductivity type, and forms the polycrystalline silicon film pattern which carries out patterning of this polycrystalline silicon film, and has desired width of face, The process which carries out sequential formation of the 1st silicon oxide film which has the 2nd, 3rd, and 4th thickness on the whole surface, respectively, a silicon nitride insulator layer, and the 2nd silicon oxide film, It carries out to the silicon oxide film of the above 3rd until the front face of the above-mentioned silicon nitride film exposes the 1st etchback by anisotropic etching. The process which forms in the side face of the above-mentioned polycrystalline silicon film pattern the 1st silicon oxide film spacer which consists of this 2nd silicon oxide film through the silicon oxide film and this silicon nitride film of the above 1st, The process which performs the 2nd etchback by anisotropic etching alternatively to the above-mentioned silicon nitride film, and forms a silicon nitride film spacer in the side face of the above-mentioned polycrystalline silicon film pattern through the silicon oxide film of the above 1st, The 3rd etchback by anisotropic etching is alternatively performed in the silicon oxide film list of the above 1st to the silicon oxide film spacer of the above 2nd. The process which forms

in the side face of the above-mentioned polycrystalline silicon film pattern the 2nd silicon oxide film spacer which consists of the 1st [ this ] silicon oxide film which has the 1st height lower than the 1st thickness of the above, and makes the height of this 2nd silicon oxide film spacer low in the 2nd height, By the ion implantation which used the above-mentioned polycrystalline silicon film pattern, the silicon oxide film spacer of the above 2nd, the above-mentioned silicon nitride film spacer, and the silicon oxide film spacer of the above 1st as the mask By the process which forms the diffusion layer of a reverse conductivity type in the front face of the above-mentioned silicon substrate, and sputtering The 1st titanium silicide film and the 2nd titanium silicide film are formed in the front face of the above-mentioned polycrystalline silicon film pattern, and the front face of the above-mentioned diffusion layer, respectively by the process which forms in the whole surface the titanium film which has the 5th thickness, and heat treatment. It has the process which removes this unreacted titanium film alternatively at least, and saves this 1st titanium silicide film and this 2nd titanium silicide film.

[0024] Preferably, the 5th thickness of the above is thinner than the 2nd thickness of the above.

[0025] Still more preferably, the above-mentioned titanium film is formed by KORIMETORI sputtering, and after forming the titanium nitride film which has the 6th thickness on the front face of this titanium film by plasma nitriding, the above-mentioned heat treatment is performed in an argon or a helium ambient atmosphere. Furthermore, the sum of the 1st thickness of the above and the 2nd thickness of the above is larger than the sum of the 1st height of the above, and the 5th thickness of the above, and the difference of this 5th thickness and the 6th thickness of the above is larger than the difference of this 1st thickness and this 1st height.

[0026] The 4th mode of the manufacture approach of the semiconductor device of this invention Gate oxide is formed in the necessary field of the front face of the silicon substrate of one conductivity type. The process which forms in the whole surface the polycrystalline silicon film which has thickness necessary with a predetermined conductivity type, and forms the polycrystalline silicon film pattern which carries out patterning of this polycrystalline silicon film, and has desired width of face, Form in the whole surface the 1st silicon oxide film which has the 1st thickness, and the 1st etchback by anisotropic etching is alternatively performed in this 1st silicon oxide film list to the above-mentioned gate oxide. The process which forms a silicon oxide film spacer in the side face of the above-mentioned polycrystalline silicon film pattern, The process which forms the 2nd silicon oxide film and the 3rd silicon oxide film in the front face of the above-mentioned polycrystalline silicon film pattern, and the front face of the above-mentioned silicon substrate by thermal oxidation, respectively, and makes the 2nd thickness thickness of this polycrystalline silicon film pattern, The process which performs the 2nd etchback to this photoresist film until it forms the photoresist film in the whole surface and the silicon oxide film of the above 2nd is exposed at least, Use the above-mentioned photoresist film as a mask, and the high anisotropic etching of the selectivity over the silicon oxide film performs the 3rd etchback to the silicon oxide film of the above 2nd. The above-mentioned silicon oxide film spacer is carried out to the process at which the front face of the above-mentioned polycrystalline silicon film pattern is exposed at least at a mask. The process which performs the 4th etchback by anisotropic etching alternatively to the above-mentioned polycrystalline silicon film pattern, and makes this polycrystalline silicon film pattern thin at the 3rd thickness, Form in the whole surface the silicon nitride film which has the 4th thickness, and the 5th etchback by anisotropic etching is alternatively performed to this silicon nitride film. By the process which forms a silicon nitride film spacer in the side face of the above-mentioned silicon oxide film spacer, and the ion implantation which used the above-mentioned polycrystalline silicon film pattern and the above-mentioned silicon oxide film spacer as the mask at least The above-mentioned silicon nitride film spacer is carried out to the process which forms the diffusion layer of a reverse conductivity type in the front face of the above-mentioned silicon substrate at a mask. The process which performs the 6th etchback by anisotropic etching alternatively to the

above-mentioned polycrystalline silicon film pattern, and forms in the front face of this polycrystalline silicon film pattern the crevice which has the desired depth, The 7th etchback by anisotropic etching removes the above-mentioned silicon nitride film spacer. The 8th etchback by anisotropic etching is alternatively performed in the silicon oxide film list of the above 3rd to the above-mentioned silicon oxide film spacer. By the process which removes this 3rd silicon oxide film, is made to expose the front face of the above-mentioned diffusion layer, and makes this silicon oxide film spacer predetermined height, and sputtering The process which forms in the whole surface the titanium film which has the 5th thickness thinner than the difference of the above-mentioned predetermined height and the 3rd thickness of the above, The 1st titanium silicide film and the 2nd titanium silicide film are formed in the front face of the above-mentioned polycrystalline silicon film pattern, and the front face of the above-mentioned diffusion layer by heat treatment, respectively. It has the process which removes this unreacted titanium film alternatively at least, and saves this 1st titanium silicide film and this 2nd titanium silicide film. [0027] Preferably, the above-mentioned titanium film is formed by KORIMETORI sputtering, and after forming the titanium nitride film which has the 6th thickness on the front face of this titanium film by plasma nitriding, the above-mentioned heat treatment is performed in an argon or a helium ambient atmosphere.

[0028]

[Example] Next, this invention is explained with reference to a drawing.

[0029] First, the structure of the semiconductor device by the 1st example of this invention is explained.

[0030] If drawing 1 which is the typical sectional view of a semiconductor device is referred to, the 1st example of this invention is the MOS transistor of the N channel mold of the Salicide structure which comes to contain the titanium silicide film, and is as follows.

[0031] Gate oxide 102 of about 8nm of thickness and field oxide (not shown), and N type diffusion layer 106a with a depth [ of junction ] of about 0.15 micrometers are prepared in the front face of the P type silicon substrate 101. On the front face of the P type silicon substrate 101, gate electrode 113a is prepared through gate oxide 102. This gate electrode 113a is constituted from the cascade screen with titanium silicide film 108aa of about 80nm of wrap thickness by about 260nm thickness (height) in the top face of polycrystalline silicon film pattern 103a of N type with a width of face (= gate length) of about 350nm, and this polycrystalline silicon film pattern 103a. The insulator layer spacer of the laminated structure whose distance across vee is about 180nm is formed in the side face of this gate electrode 113a.

[0032] This insulator layer spacer consists of silicon oxide film spacer 114a which is the 1st insulator layer spacer, and silicon nitride film spacer 115a which is the 2nd insulator layer spacer. Nothing and the thickness of this of the cross-section configuration of silicon oxide film spacer 114a are about 100nm about a L character mold, and the height of this is about 200nm. The base of this silicon oxide film spacer 114a covers gate oxide 102 directly. A part of side face of this silicon oxide film spacer 114a (gate electrode 113a side) covers directly the side face of polycrystalline silicon film pattern 103a (to height of about 160nm). A part of part (from upper limit up to about 40nm) of \*\* of the side face of this silicon oxide film spacer 114a and upper limit (width of face of about 40nm) are covered with titanium silicide film 108aa. The width of face and the height of silicon nitride film spacer 115a are about 80nm and about 300nm, respectively. The base of silicon nitride film spacer 115a contacts the above-mentioned silicon oxide film spacer 114a directly, a part of side face of this silicon nitride film spacer 115a (gate electrode 113a side) contacts the above-mentioned silicon oxide film spacer 114a directly (to height of about 100nm), and this side face does not touch gate electrode 113a directly. The upper limit of silicon nitride film spacer 115a is in a location higher about 60nm than the location of the top face of gate electrode 113a.

[0033] Titanium silicide film 108ab of about 80nm of thickness is prepared in the front face of N type diffusion layer 106a in self align at silicon oxide film spacer 114a. These N type diffusion

layer 106a and titanium silicide film 108ab to source drain field 116a is constituted. The MOS transistor of this example which consists of these gate oxide 102, gate electrode 113a, silicon oxide film spacer 114a, silicon nitride film spacer 115a, and source drain field 116a is covered with the interlayer insulation film 110. The contact hole which reaches source drain field 116a etc. is prepared in this interlayer insulation film 110, and the metal wiring 111 is connected to source drain field 116a etc. through these contact hole.

[0034] In the phase before titanium silicide film (which mentions detail about manufacture approach later) 108aa, and 108ab are formed in the semiconductor device of the 1st example of the above, the thickness of a polycrystalline silicon film pattern is about 300nm, and the thickness of the titanium film is about 100nm. In this phase, the upper limit (height) of silicon oxide film spacer 114a is lower about 100nm than the top face (thickness) of this polycrystalline silicon film pattern. Consequently, the die length which this titanium film and this polycrystalline silicon film contact in the direction of channel length is set to about 550nm, and is long enough like the MOS transistor of \*\*\*\*\* structure Singh-solid-FIRUMUSU (ThinSolid Films) 1991 at the 198th volume and a 53 pages – 66 pages report compared with gate length (350nm). Lamp annealing in nitrogen-gas-atmosphere mind is performed for 30 seconds at 650 degrees C, and is performed for 10 seconds at 850 more degrees C. Thus, 0.5 micrometers or more, the die length of the titanium film in the direction of channel length and the polycrystalline silicon film which contacts serves as C54 structure, without condensing titanium silicide film 108aa formed of this lamp annealing, and 108ab from a certain thing, and serves as titanium silicide film of resistivity with low about 15micro ohm-cm extent.

[0035] furthermore, in the semiconductor device of the 1st example of the above Since it has the insulator layer spacer of the above-mentioned structure which consists of silicon oxide film spacer 114a and silicon nitride film spacer 115a, Spacing of titanium (a part of gate electrode 113a is made) silicide film 108aa along the front face of the insulator layer spacer of this laminated structure and titanium (a part of source drain field 116a is made) silicide film 108ab It becomes possible theoretically to make it larger than spacing of the gate electrode which met the above-mentioned report on the front face of the insulator layer spacer in the MOS transistor of \*\*\*\*\* Salicide structure, and a source drain field. Furthermore, it becomes easy to make it larger than spacing of the gate electrode along the front face of the insulator layer spacer in the MOS transistor of the usual (the thickness of a gate electrode and the height of an insulator layer spacer are equal in general) Salicide structure and a source drain field. So, even if it compares the semiconductor device of this example with the MOS transistor of the usual (a matter of course if it contrasts with the above-mentioned report at the MOS transistor of \*\*\*\*\* Salicide structure) Salicide structure, control (namely, reduction of the leakage current between a gate electrode and a source drain field, control of generating of a short circuit) of a bridging phenomenon becomes easy.

[0036] In addition, although the 1st example of the above is related with the MOS transistor of an N channel mold, this example is applicable to the MOS transistor of a P channel mold, and a CMOS transistor pan also at a BiCMOS transistor. In the case of the MOS transistor of a P channel mold, the \*\*\*\*\* N type which the conductivity type of the polycrystalline silicon film pattern which constitutes some gate electrodes P Has according to the purpose is adopted. Moreover, although the 1st insulator layer spacer consists of oxidation SHIRIKO film and the 2nd insulator layer spacer consists of a silicon nitride film in the 1st example of the above, it is not limited to this, the 1st insulator layer spacer may consist of nitriding SHIRIKO film, and the 2nd insulator layer spacer may consist of silicon oxide film.

[0037] Next, the manufacture approach of the semiconductor device by the 1st example of the above is explained.

[0038] If drawing 2 and drawing 3 which are the production process and typical sectional view of a semiconductor device, and drawing 1 are referred to collectively, the semiconductor device of the 1st example of the above will be formed as follows.

[0039] First, field oxide (not shown) is formed in the component isolation region of P type silicon substrate 101 front face. The gate oxide 102 which has about 8nm thickness is formed in the component formation field of this P type silicon substrate 101 front face by the oxidizing [ thermally ] method. After the polycrystalline silicon film of the N type which has the about 300nm thickness which is the 1st thickness is formed in the whole surface, patterning of this polycrystalline silicon film is carried out, and the polycrystalline silicon pattern 103 which has the line breadth (gate length) of about 350nm is formed. Next, silicon nitride film 105a which has the about 80nm thickness which is silicon oxide film 104a and the 3rd thickness which have the about 100nm thickness which is the 2nd thickness with a CVD method, respectively is formed in the whole surface one by one [ drawing 2 (a)].

[0040] Next, etchback (the 1st etchback) of the above-mentioned silicon nitride film 105a is carried out by the anisotropic etching which made etching gas trifluoromethane (CHF3) gas and 6 fluoridation sulfur (SF6) gas, and silicon nitride film spacer 115a is formed of it. 6 fluoridation sulfur (SF6) gas is added for raising the selectivity of etching of silicon nitride film (as opposed to silicon oxide film 104a) 105a. The height of this silicon nitride film spacer 115a is about 300 (in general equally [ polycrystalline silicon film pattern 103 ] to thickness)nm [ drawing 2 (b)].

[0041] Next, it is CHF3 because of formation of silicon oxide film spacer 114a of a L character mold. Anisotropic etching which made etching gas the mixed gas of gas and carbon monoxide (CO) gas is performed, and etchback (the 2nd etchback) of silicon oxide film 104a and the gate oxide 102 is carried out alternatively. as the etching gas in this case — C (to everything but the above CHF3) two F4, C three F6, and C four F8 etc. — the mixed gas of the gas of a fluorocarbon system and CO gas can also be used. This etchback is performed with exaggerated [ some ], for example, it will be carried out until the upper limit of silicon oxide film spacer 114a becomes low about 100nm from the top face of the polycrystalline silicon film pattern 103, and this silicon oxide film spacer 114a will have height of about 200nm which is predetermined height. With this etchback, the front face of the necessary part of the P type silicon substrate 101 is exposed. Then, N type diffusion layer 106a whose depth of junction is about 0.15 micrometers is formed of the ion implantation of the arsenic (As) which used these polycrystalline silicon film pattern 103, silicon oxide film spacer 114a, and silicon nitride film spacer 115a as the mask etc. [ drawing 2 (c)]. In addition, after the polycrystalline silicon film pattern 103 is formed, the ion implantation of \*\*\*\* (P) low-concentration arsenic also goes may be performed. Further in addition, when applying this example to formation of a CMOS transistor, after performing the ion implantation of arsenic, and heat pushing and forming the source drain field of the MOS transistor of an N channel mold, it is desirable to perform the ion implantation of 2 fluoridation boron for formation of the source drain field of the MOS transistor of a P channel mold (BF2).

[0042] Next, titanium film 107a which has the about 50nm thickness which is the 4th thickness in a flat part by sputtering is formed in the whole surface. The thickness of this titanium film 107a in the side face (polycrystalline silicon film pattern 103 side reverse side) of silicon nitride film spacer 115a is about 25nm. Moreover, this titanium film 107a is filled up with the opening of silicon nitride film (it can set right above [ silicon oxide film spacer 114a ]) spacer 115a and the polycrystalline silicon film pattern 103. The top face of titanium film 107a of polycrystalline silicon film pattern 103 top-face right above is located in a location lower about (= (100nm of thickness of silicon oxide film 104a) - (50nm of thickness of titanium film 107a)) 50nm than the location of the upper limit of titanium nitride film spacer 115a. The die length (contact width of face) of the polycrystalline silicon film pattern 103 of the crosswise (being the direction of gate length the direction of channel length) smell lever of the polycrystalline silicon film pattern 103 and this titanium film 107a which contacts is set to about 550nm [ drawing 3 (a)].

[0043] Next, lamp annealing for 10 seconds is performed one by one by nitrogen-gas-atmosphere mind at lamp annealing for 30 seconds, and 850 degrees C by 650 degrees C. Titanium nitride film 109a which has titanium silicide film 108aa, 108ab, and the about 20nm thickness which have about 80nm thickness by this heat treatment is formed, the polycrystalline

silicon film pattern 103 is changed into polycrystalline silicon film pattern 103a which has the thickness which is about 260nm, and titanium film 107aa is saved. Thereby, gate electrode 113a which consists of polycrystalline silicon film pattern 103a and titanium silicide film 108aa, and source drain field 116a which consists of N type diffusion layer 106a and titanium silicide film 108ab are formed [ drawing 3 (b)].

[0044] For a certain reason, about 550nm of titanium silicide film 108aa(s) of C54 structure is obtained for the contact width of face of the polycrystalline silicon film pattern 103 and titanium film 107a by the above-mentioned heat treatment. It has contributed to this that the upper limit of silicon oxide film spacer 114a is lower than the top face of the polycrystalline silicon film pattern 103 greatly. Of this heat treatment, it has a certain probability distribution also on the front face of silicon nitride film spacer 115a, and the titanium silicide film is locally formed in it. However, since the upper limit of silicon nitride film spacer 115a is higher than the top face of the polycrystalline silicon film pattern 103, effectual spacing of titanium silicide film 108aa along the front face of silicon nitride film spacer 115a (and silicon oxide film spacer 114a) and titanium silicide film 108ab becomes large, and a bridging phenomenon is conventionally controlled from the MOS transistor of structure. Moreover, since the thickness of titanium film 107a is thinner than the thickness of silicon oxide film 104a, the upper limit of silicon nitride film spacer 115a becomes higher than the top face of titanium film 107a of polycrystalline silicon film pattern 103 right above. The front face of silicon nitride film spacer 115a (and silicon oxide film spacer 114a) which separates titanium silicide film 108aa and titanium silicide film 108ab It will consist of two side faces of the side face by the side of gate electrode 113a, and the side face by the side of source drain field 116a. The probability for the titanium silicide film locally formed in these side faces respectively separately to be connected becomes lower than the probability for the titanium silicide film locally formed in the same side to be connected. Consequently, in this example, more than it extends spacing which only separates titanium silicide film 108aa and titanium silicide film 108ab, control of a bridging phenomenon is attained.

[0045] In addition, the reason for performing 650-degree C lamp annealing is in the following point. If 850-degree C lamp annealing is given suddenly, since the rate of reaction of a silicide-ized reaction is high, a bridging phenomenon will also become active and the target achievement will become difficult. So, low-temperature heat treatment performs a silicide-ized reaction first (comparatively), the titanium silicide film of C49 structure is formed, and the titanium silicide film of this C49 structure is changed into the titanium silicide film of C54 structure under a low (relatively) rate of reaction by hot heat treatment.

[0046] Next, etching removal of titanium film 107aa and the titanium nitride film 109a is alternatively carried out with hydrogen-peroxide ( $H_2O_2$ ) water (ammonia ( $NH_4OH$ ) may be added). Thereby, the MOS transistor of this example is completed [ drawing 3 (c)]. Then, an interlayer insulation film 110 is formed, for example of formation of the TEOSU BPSG film, flattening of the front face by mechanical chemical polishing (MCP), etc. After the contact hole which reaches source drain field 116a etc. is formed in an interlayer insulation film 110, the metal wiring 111 which consists of aluminum-silicon-copper alloy film which used the titanium film and the titanium nitride film as the barrier film is formed [ drawing 1 ].

[0047] In addition The thickness of the thickness of gate oxide 102, the thickness of polycrystalline silicon film 103 pattern and line breadth, and a polycrystalline silicon film 103a pattern, the thickness of silicon oxide film 104a, the height of silicon oxide film spacer 114a and distance across vee, the thickness of silicon nitride film 105a, It is related with numeric values, such as temperature of the depth of junction of N type diffusion layer 106a, the thickness of titanium film 107a, and lamp annealing and time amount, thickness of titanium silicide film 108aa, thickness of titanium silicide film 108ab, and thickness of titanium nitride film 109a. It is not limited to the numeric value indicated by the 1st example of the above.

[0048] If drawing 4 and drawing 5 which are the typical sectional view of the production process of a semiconductor device are referred to, the formation approach of the titanium film etc. is

different from the 1st example of the above, and the 2nd example of this invention is as follows.

[0049] First, gate oxide 102 grade is formed in the front face of the P type silicon substrate 101 by the same approach as the 1st example of the above. The polycrystalline silicon film pattern 103 is formed on the front face of this gate oxide 102. On the side face of this polycrystalline silicon film pattern (The about 80nm thickness which is the 3rd thickness) Silicon nitride film spacer 115b which consists of a silicon nitride film which it has, and silicon oxide (it consists of silicon oxide film which has about 100nm thickness which is 2nd thickness, and has height of about 250nm which is predetermined height) film spacer 114b are formed. N type diffusion layer 106b is formed.

[0050] The dimension configuration of N type diffusion layer 106b, silicon oxide film spacer 114b, and silicon nitride film spacer 115b is the same as the dimension configuration of N type diffusion layer 106a of the 1st example of the above, silicon oxide film spacer 114a, and silicon nitride film spacer 115a respectively except for the height of silicon oxide film spacer 114b. The upper limit of silicon nitride film spacer 115b is in a location higher about 100nm than the location of the top face of the polycrystalline silicon (it has about 300nm thickness which is 1st thickness) film pattern 103, and the upper limit of silicon oxide film spacer 114b is in a location lower about 100nm than the location of the top face of the polycrystalline silicon film pattern 103.

[0051] Next, titanium film 107b which has the about 100nm thickness which is the 4th thickness in a flat part by KORIMETORI sputtering is formed. The contact width of face of titanium film 107b and the polycrystalline silicon film pattern 103 is set to about 500nm. The thickness of this titanium film 107b in the side face (polycrystalline silicon film pattern 103 side reverse side) of silicon nitride film spacer 115b is at most about (about [ of the thickness in a flat part ] 1/10) 10nm. Explanation about a setup of the thickness of this titanium film 107b is performed in explanation at degree process [ drawing 4 (a)].

[0052] Next, under the temperature of about 350 degrees C, and about 13Pa pressure, the plasma nitriding of the front face of titanium film 107b is carried out by the mixed gas of nitrogen (N<sub>2</sub>) gas and ammonia (NH<sub>3</sub>) gas, and titanium nitride film 119b which has the about 20nm thickness which is the 5th thickness is formed in a flat part. Moreover, titanium film 117b saves by this plasma nitriding [ drawing 4 (b)]. It is desirable that titanium film 107b in the side face of silicon nitride film spacer 115b is only the thickness nitrided completely as the 5th thickness. Under this condition, if the thickness of titanium nitride film 119b is thinner than the difference (the 1st thickness) (+ (2nd thickness) - (predetermined height)) of the height of the upper limit of silicon nitride film spacer 115b, and the upper limit of silicon oxide film spacer 114b Titanium film 117b which covered the polycrystalline silicon film pattern 103 and was saved, and titanium film 117b saved by the front face of N type diffusion layer 106b are completely divided by this titanium nitride film 119b. As for the difference of the 4th thickness and the 5th thickness (equal to the thickness of titanium film 117b saved into the in general flat part), it is desirable that it is larger than the difference of the 1st thickness and the above-mentioned predetermined height. In this case, titanium film 117b which covers and saves the top face of the polycrystalline silicon film pattern 103, and titanium film 117b which covers and saves the side face (not directly covered with silicon oxide film spacer 114a) of the polycrystalline silicon film pattern 103 are not divided.

[0053] Next, lamp annealing for 10 seconds is performed one by one by an argon or the helium ambient atmosphere at lamp annealing for 30 seconds, and 850 degrees C by 650 degrees C. Titanium silicide film 108ba which has about 80nm thickness, and 108bb are formed, the polycrystalline silicon film pattern 103 is changed into polycrystalline silicon film pattern 103b which has the thickness which is about 260nm, titanium film 117ba is saved by this heat treatment between titanium silicide film 108ba and titanium nitride film 119b, and titanium film 117bb is saved between titanium silicide film 108bb and titanium nitride film 119b. Thereby, gate electrode 113b which consists of polycrystalline silicon film pattern 103b and titanium silicide

film 108ba, and source drain field 116b which consists of N type diffusion layer 106b and titanium silicide film 108bb are formed [ drawing 4 (c)]. Lamp annealing is performed for avoiding formation of the titanium nitride film by this heat treatment in an argon or a helium ambient atmosphere.

[0054] Here, why the above-mentioned lamp annealing is also divided into two steps, and is performed is explained. Although only hot lamp annealing will be a thing if its attention is paid only to the bridging phenomenon between the gate electrode in one MOS transistor, and a source drain field, if the bridging phenomenon between two source drain fields which adjoin through field oxide is taken into consideration, two steps of lamp annealing will be desirable as mentioned above.

[0055] Next, silicon nitride film 119b and titanium film 117b, 117ba, and 117bb are removed by the same approach as the 1st example of the above, and the MOS transistor by this example is completed [ drawing 5 (a)]. Furthermore, an interlayer insulation film 110, a contact hole, and the metal wiring 111 are formed [ drawing 5 (b)].

[0056] The 2nd example of the above has the effectiveness which the 1st example of the above has. Furthermore, the bridging phenomenon between the gate electrodes and source drain fields which belong to the same MOS transistor unlike the 1st example of the above since formation of the titanium film according [ this example ] to KORIMETORI sputtering and formation of the titanium nitride film on the titanium film front face in the low temperature by plasma nitriding are performed is inhibited nearly completely.

[0057] In addition The thickness of the polycrystalline silicon film spacer 103 And line breadth, the thickness of polycrystalline silicon film spacer 103b, the thickness of silicon oxide film spacer 114b and height, the depth of junction of an N type diffusion layer, the thickness of titanium film 107b, the temperature of plasma nitriding and a pressure, temperature of lamp annealing And it is not the basis limited to the numeric value indicated by the 2nd example of the above about time amount, the thickness of 117d of titanium film, the thickness of titanium nitride film 119b, the thickness of titanium silicide film 108ba, the thickness of titanium silicide film 108bb, etc.

[0058] In addition, although it will not be the 2nd example of the above if formed of KORIME torr sputtering instead of the titanium film being the usual sputtering in the 1st example of the above, a bridging phenomenon can be controlled beyond the example of the above 1st.

[0059] Reference of drawing 6 and drawing 7 which are the typical sectional view of the production process of a semiconductor device forms the 3rd example of this invention as follows.

[0060] First, sequential formation of field oxide (not shown) and the gate oxide 102 is carried out on the front face of the P type silicon substrate 101. The polycrystalline silicon film of the N type which has the about 300nm thickness which is the 1st thickness, and the silicon oxide film with which it has about 200nm thickness (the 1st) are formed in the whole surface. The polycrystalline silicon film pattern 103 which patterning of these silicon oxide film and the polycrystalline silicon film is carried out, has the style in which the silicon oxide film 154 was laid, and has the line breadth (gate length) of about 350nm is formed. Silicon oxide film 104c in which it has the about 100nm thickness which is the 2nd thickness (the 2nd) is formed in the whole surface [ drawing 6 (a)].

[0061] Next, CHF<sub>3</sub> Anisotropic etching which made the mixed gas of gas and CO gas etching gas is performed, etchback (the 1st etchback) of silicon oxide film 104c, the silicon oxide film 154, and the gate oxide 102 is carried out alternatively, silicon oxide film 154c which has the about 100nm thickness which is the 3rd thickness is saved, and silicon oxide film spacer 114c which has the height which is about 400nm is formed. Silicon nitride film 105c which has the about 80nm thickness which is the 4th thickness is formed in the whole surface [ drawing 6 (b)].

[0062] Next, etchback (the 2nd etchback) of the above-mentioned silicon nitride film 105c is alternatively carried out by the anisotropic etching which made etching gas the mixed gas of tetrafluoromethane (CF<sub>4</sub>) gas, hydrogen (H<sub>2</sub>) gas, nitrogen (N<sub>2</sub>) gas, and mono-silane (SiH<sub>4</sub>) gas,

and silicon nitride film spacer 115c which has height of about 400nm is formed. Unlike the 1st (the 2nd) example of the above, in this example, a setup of the height of silicon nitride film spacer 115c can be performed, without being specified to the sum of the thickness of the polycrystalline silicon film pattern 103, and the thickness of silicon oxide film 104c which constitutes silicon oxide film spacer 114c. It sets to this etchback and is SiH<sub>4</sub> to etching gas. Gas is added for securing the selectivity of etching of silicon nitride film 105c to a silicon substrate only to the silicon oxide film. In addition, if the silicon oxide film is again formed in the front face of the P type silicon substrate 101 exposed at least after formation (refer to drawing 6 (b)) of silicon oxide film spacer 114c by thermal oxidation etc., it will be CHF<sub>3</sub> like the 1st example of the above. Gas and SF<sub>6</sub> It becomes possible to form a silicon nitride film spacer by the anisotropic etching which made gas etching gas.

[0063] Next, the 3rd etchback is performed on the same conditions as the 1st etchback of the above. Thereby, silicon oxide film 154c is removed and the top face of the polycrystalline silicon film spacer 103 is exposed. Silicon oxide film spacer 114c is set to silicon oxide film spacer 114ca which has height of about 200 (it is predetermined height)nm to coincidence. Then, N type diffusion layer 106c whose depth of junction is about 0.15 micrometers is formed of the ion implantation of As which used the above-mentioned polycrystalline silicon film spacer 103, silicon oxide film spacer 114ca, and silicon nitride film spacer 115c as the mask etc. [drawing 6 (c)]. Formation of this N type diffusion layer 106c may be performed immediately after forming silicon nitride film spacer 115c and immediately after forming silicon oxide film spacer 114c. In this example, since the base of silicon nitride film spacer 115c touches the front face of the P type silicon substrate 101 directly, in order to control degradation of the component property by impregnation of a hot carrier etc., it is desirable to set up so that the base of this N type diffusion layer 106c and silicon nitride film spacer 115c may overlap completely.

[0064] In addition, after the polycrystalline silicon film pattern 103 is formed, the ion implantation of low-concentration arsenic may be performed. Further in addition, when applying this example to formation of a CMOS transistor, it is desirable to form the source drain field of the MOS transistor of a P channel mold immediately after having formed the source drain field of the MOS transistor of an N channel mold immediately after forming silicon oxide film spacer 114c, and forming silicon nitride film spacer 115c or silicon oxide film spacer 114ca.

[0065] Next, titanium film 107c which has the about 50nm thickness which is the 5th thickness in a flat part like the 1st example of the above is formed in the whole surface of sputtering [drawing 7 (a)].

[0066] Then, lamp annealing for 10 seconds is performed one by one by nitrogen-gas-atmosphere mind at lamp annealing for 30 seconds, and 850 degrees C by 650 degrees C like the 1st example of the above. Titanium silicide film 108ca which has about 80nm thickness, 108cb, and titanium nitride film 109c which has about 20nm thickness are formed. The polycrystalline silicon film pattern 103 is changed into polycrystalline silicon film pattern 103c which has the thickness which is about 260nm, and titanium film 107ca is saved. Thereby, gate electrode 113c which consists of polycrystalline silicon film pattern 103c and titanium silicide film 108ca, and source drain field 116c which consists of N type diffusion layer 106c and titanium silicide film 108cb are formed [drawing 7 (b)].

[0067] Then, like the 1st and 2nd example of the above, etching removal of titanium nitride film 109c and the titanium film 107ac is carried out alternatively, and an interlayer insulation film 110, a contact hole, and the metal wiring 111 are formed [drawing 7 (c)].

[0068] The 3rd example of the above has the effectiveness which the 1st example of the above has. Moreover, this example is superior to the 1st example of the above to application to a CMOS transistor as mentioned above. In addition, it is also possible to apply heat treatment in formation of the titanium film adopted in the 2nd example of the above, formation of the titanium nitride film on the titanium film front face by plasma nitriding and an argon, or a HERUIMU ambient atmosphere to this example.

[0069] In addition The line breadth of the polycrystalline silicon film spacer 103 And thickness, the thickness of polycrystalline silicon film spacer 103c, the thickness of silicon oxide film 104c, the thickness of the silicon oxide film 154, the thickness of silicon oxide film 154c, the thickness of silicon nitride film 105c, the height of silicon oxide film spacer 114c, the depth of junction of N type diffusion layer 106c, About the thickness of titanium film 107c, the thickness of titanium silicide film 108ca, the thickness of titanium silicide film 108cb, the thickness of the titanium nitride film, etc., it is not limited to the numeric value indicated in the 3rd example of the above.

[0070] If drawing 8 and drawing 9 which are the typical sectional view of the production process of a semiconductor device are referred to, the 4th example of this invention is an application of the 2nd example of the above, will be MOS tolan Sister of the N channel mold of the Salicide structure with the insulator layer spacer of a three-tiered structure, and will be formed as follows.

[0071] First, gate oxide 102 grade is formed in the front face of the P type silicon substrate 101 by the same approach as the 1st example of the above, and the polycrystalline silicon film pattern 103 which has the thickness of about 300nm and the line breadth (gate length) of about 350nm which are the 1st thickness is formed on the front face of this gate oxide 102. Next, sequential formation of the 124d of the silicon oxide film with which it has the about 60nm thickness which is 104d of silicon oxide film with which it has the about 70nm thickness which is the 2nd thickness (the 1st), 105d of silicon nitride films which have the about 50nm thickness which is the 3rd thickness, and the 4th thickness (the 2nd) is carried out by the CVD method on the whole surface [ drawing 8 (a)].

[0072] Next, CHF3 Etchback (the 1st etchback) of the 124d of the silicon oxide film is alternatively carried out by the anisotropic etching which made the mixed gas of gas and CO gas etching gas until the top face of 105d of silicon nitride films is exposed, and of it, silicon oxide film spacer 134d is formed. This silicon oxide film spacer 134d height is almost equal to the thickness of the polycrystalline silicon film pattern 103 [ drawing 8 (b)].

[0073] Next, CHF3 Gas and SF6 Etchback (the 2nd etchback) of the 105d of the silicon nitride films is alternatively carried out by the anisotropic etching which made gas etching gas until the top face of 104d of silicon oxide film is exposed, and of it, silicon nitride film spacer 115d is formed. This silicon nitride film spacer 115d height is also almost equal to the thickness of the polycrystalline silicon film pattern 103. Silicon oxide film spacer 134d upper limit is in a location high about 50nm from silicon nitride film spacer 115d upper limit [ drawing 8 (c)].

[0074] Next, it is CHF3 again. Etchback (the 3rd etchback) of 104d [ of silicon oxide film ] and silicon oxide film spacer 134d and the gate oxide 102 is alternatively carried out by the anisotropic etching which made the mixed gas of gas and CO gas etching gas. With this etchback, only height of about 100nm is etched, respectively 104d of silicon oxide film, and silicon oxide film spacer 134d, and it is changed into silicon oxide film spacer 114d which has height of about 270nm which is predetermined height, and silicon oxide film spacer 134deca which has height of about 200nm, respectively. In this phase, silicon oxide film spacer 134deca upper limit is in a location lower about 50nm than silicon nitride film spacer 115d upper limit. Moreover, silicon oxide film spacer 114d upper limit is in about 100nm and a location low about 30nm, respectively from the top face of silicon nitride film spacer 115d upper limit and the polycrystalline silicon film pattern 103. Then, 106d of N type diffusion layers whose depth of junction is about 0.15 micrometers for example is formed [ drawing 9 (a)].

[0075] Next, the titanium film (not shown) which has the about 80nm thickness which is the 5th thickness in a flat part by the same approach as the 2nd example of the above is formed. The contact width of face of this titanium film and the polycrystalline silicon film pattern 103 is about 510nm. Then, 119d of titanium nitride film which has the about 20nm thickness which is the 6th thickness is formed in the front face of the above-mentioned titanium film of the same plasma nitriding as the 2nd example of the above, and 117d of titanium film is saved. Then, the same lamp annealing as the 2nd example of the above is given, and 108deca of titanium silicide film

which has the thickness which is about 80nm, and 108db are formed. The polycrystalline silicon film pattern 103 is changed into polycrystalline silicon film pattern 103d which has the thickness which is about 260nm. 117deca of titanium film is saved between 108deca of titanium silicide film, and 119d of titanium nitride film, and titanium film 117db is saved between titanium silicide film 108db and 119d of titanium nitride film. 116d of source drain fields which serve as 113d of gate electrodes which consist of polycrystalline silicon film pattern 103d and 108deca of titanium silicide film from 106d of N type diffusion layers and titanium silicide film 108db by this is formed [ drawing 9 (b)].

[0076] Then, by the same approaches, such as the 1st example of the above, etching removal of 119d of titanium nitride film, 117d of titanium film, 117deca, and the 117db is carried out alternatively, and an interlayer insulation film 110, a contact hole, and the metal wiring 111 are formed [ drawing 9 (c)].

[0077] The 4th example of the above has the effectiveness which the 2nd example of the above has. Furthermore, on the preceding paragraph story which this example gives the above-mentioned lamp annealing although a production process becomes complicated from the 2nd example of the above, since 119d of titanium nitride film for dividing 117d of wrap titanium film is formed [ front face / of 117d of wrap titanium film, and the 106d of the above-mentioned N type diffusion layers ] in a silicon nitride film spacer 115d side face and a silicon oxide film spacer 134deca side face in the above-mentioned polycrystalline silicon film pattern 103, this fragmentation is ensured. Consequently, suppression of the bridging phenomenon by this example is ensured from the 2nd example of the above. In addition, in this example, if formation of the titanium film and heat treatment of this titanium film are performed like the 1st example of the above, the semiconductor device which has the same effectiveness as the 1st example of the above will be obtained.

[0078] In addition The line breadth of the polycrystalline silicon film pattern 103 And the thickness of the depth of junction of thickness, polycrystalline silicon film pattern 103d thickness, the thickness of 104d of silicon oxide film, the thickness of 105d of silicon nitride films, the thickness of 124d of silicon oxide film, silicon oxide film spacer 114d height, and 106d of N type diffusion layers, and the titanium film in a membrane formation time, About the thickness of 108deca of titanium silicide film, the thickness of titanium silicide film 108db, the thickness of 109d of titanium nitride film, etc., it is not limited to the numeric value indicated in the 4th example of the above.

[0079] In the above 1st - the 4th example, in order to make contact width of face of a polycrystalline silicon film pattern and the titanium film larger than the line breadth (gate length) of a polycrystalline silicon film pattern, the laminating insulator layer spacer which comes to contain the 1st insulator layer spacer and the 2nd insulator layer spacer at least was used. Next, \*\* for which the insulator layer spacer which consists only of an insulator layer spacer of one layer is used is not concerned, either, but the contact width of face of a polycrystalline silicon film pattern and the titanium film explains \*\*\*\*\* more widely than the line breadth (gate length) of a polycrystalline silicon film pattern.

[0080] Reference of drawing 10 , drawing 11 , and drawing 12 which are the typical sectional view of the production process of a semiconductor device forms the 5th example of this invention as follows.

[0081] First, field oxide (not shown) is formed in the component isolation region of P type silicon substrate 201 front face. The gate oxide 202 which has about 8nm thickness is formed in the component formation field of this P type silicon substrate 201 front face by the oxidizing [ thermally ] method. After the polycrystalline silicon film of the N type which has about 400nm thickness is formed in the whole surface, patterning of this polycrystalline silicon film is carried out, and polycrystalline silicon film pattern 203a which has the line breadth (gate length) of about 350nm is formed. Next, silicon oxide film 204a in which it has the about 100nm thickness which is the 1st thickness with a CVD method (the 1st) is formed in the whole surface one by one

[ drawing 10 (a)].

[0082] Next, CHF<sub>3</sub> Anisotropic etching which made the mixed gas of gas and CO gas etching gas is performed, etchback (the 1st etchback) of silicon oxide film 204a and the gate oxide 202 is carried out alternatively, and silicon oxide film spacer 214a which has height of about 400nm is formed. It is changed into polycrystalline silicon film pattern 203aa in which thermal oxidation has the about 390nm thickness whose above-mentioned polycrystalline silicon film pattern 203a is the 2nd thickness more being given. Silicon oxide film 244aa in which it has about 20nm thickness (the 2nd) is formed in this front face of polycrystalline silicon film pattern 203aa. Silicon oxide film 244ab in which it has about 10nm thickness (the 3rd) is formed in the front face of the above-mentioned P type silicon substrate 201 on which gate oxide 202 was removed. Photoresist film 251a is applied and formed in the whole surface [ drawing 10 (b)].

[0083] since it is in protecting the above-mentioned silicon oxide film 244ab from this etchback in case the purpose which prepares this photoresist film 251a is the 3rd etchback of a back process, the height of the top face of this photoresist film 251a does not call at a location, but is made to homogeneity -- if it becomes, this photoresist film 251a does not need to cover the front face of silicon oxide film 244aa -- this -- it comes to be alike In this case, the 2nd etchback of degree process can be excluded. However, since it is difficult for the height of the top face of this photoresist film 251a not to call at a location, but to make it homogeneity, it will be desirable that this photoresist film 251a has covered the front face of silicon oxide film 244aa.

[0084] Next, CF<sub>4</sub> Gas and O<sub>2</sub> Anisotropic etching which made mixed gas with gas etching gas is performed, etchback (the 2nd etchback) of the above-mentioned photoresist film 251a is alternatively carried out until the upper limit of silicon oxide film spacer 214a is exposed at least, and photoresist film 251aa is saved. Then, CHF<sub>3</sub> Anisotropic etching which made the mixed gas of gas and CO gas etching gas is performed, etchback (the 3rd etchback) of silicon oxide film 244aa and the silicon oxide film spacer 214a is alternatively carried out until the top face of polycrystalline silicon film pattern 203aa is completely exposed, this silicon oxide film 244aa is removed completely, and silicon oxide film spacer 214a is changed into silicon oxide film spacer 214aa which has height of about 380nm. In addition, CF<sub>4</sub> Gas and O<sub>2</sub> Gas and H<sub>2</sub> By the anisotropic etching which made mixed gas with gas etching gas Although the method of continuing at the etchback of photoresist film 251a, and performing etchback of silicon oxide film 244aa and silicon oxide film spacer 214a (the 2nd and 3rd etchback being substituted for 1 time of etchback) is also considered As mentioned above, since it is difficult not to call the height of the top face of photoresist film 251a at a location, but to make it homogeneity, this approach is not desirable.

[0085] Next, dirty BAKUKU (the 4th etchback) of the polycrystalline silicon film pattern 203aa is alternatively carried out by the anisotropic etching which made etching gas hydrogen bromide (using above-mentioned photoresist film 251aa and above-mentioned silicon oxide film spacer 214aa as mask) (HBr) gas, and polycrystalline silicon film pattern 203ab which has the about 250nm thickness which is the 3rd thickness is saved. The upper limit of silicon oxide film spacer 214aa is in a location higher about 130nm than this top face of polycrystalline silicon film pattern 203ab [ drawing 10 (c)].

[0086] Next, photoresist film 251aa is O<sub>2</sub>. It is removed by ashing by the plasma. The silicon nitride film (not shown) which has the about 80nm thickness which is the 4th thickness is formed in the whole surface. CF<sub>4</sub> Gas and H<sub>2</sub> Gas and N<sub>2</sub> By the anisotropic etching which made the mixed gas of gas and SiH<sub>4</sub> gas etching gas Etchback (the 5th etchback) of the above-mentioned silicon nitride film is carried out alternatively. Silicon nitride film spacer 215aa which has height of about 130nm is formed in the near side face of polycrystalline silicon film pattern 203ab of silicon oxide film spacer 214aa. Silicon nitride film spacer 215ab which has height of about 380nm is formed in the near side face of the reverse of silicon oxide film spacer 214aa [ drawing 11 (a)].

[0087] Next, N type diffusion layer 206a whose depth of junction is about 0.15 micrometers is formed of the ion implantation of As which used polycrystalline silicon film pattern 203ab, silicon oxide film spacer 214aa, silicon nitride film spacer 215ab, etc. as the mask etc. In addition, formation of N type diffusion layer 206a can also be performed immediately after removing photoresist film 251aa. For example, the 4th etchback of the above and the 6th etchback by the same approach are performed, and it is changed into polycrystalline silicon film pattern 203ac which has a crevice with a depth of about 50nm which the above-mentioned polycrystalline silicon film pattern 203ab is parallel to the direction (the direction of channel width) of gate width in the center section on top, and is the desired depth [ drawing 11 (b)].

[0088] In addition, not anisotropic etching but isotropic etching is sufficient as the 6th etchback for changing into polycrystalline silicon film 203ac. Further in addition, the 5th etchback is CHF<sub>3</sub>. Gas and SF<sub>6</sub> If performed by the anisotropic etching which made gas etching gas, this 6th etchback is omissible. In this case, the height of two kinds of silicon nitride film spacers formed becomes lower than the height of silicon nitride film spacer 215aa and 215ab, respectively. In the case of which, the front face of N type diffusion layer 206a (or P type silicon substrate 101) is protected by silicon oxide film 244ab in the case of such etchback.

[0089] Next, silicon nitride film spacer 215aa and 215ab are removed by the 5th etchback and the 7th etchback which is the same approach. In addition, in this phase, if a polycrystalline silicon film pattern is N type in order that silicon oxide film 244ab may save (even when this example is applied to the MOS transistor of a P channel mold), heat phosphoric acid can perform removal of silicon nitride film spacer 215aa and 215ab. then, CHF (the 3rd etchback of the above -- the same)<sup>3</sup> Anisotropic etching which made the mixed gas of gas and CO gas etching gas is performed, and etchback (the 8th etchback) of silicon oxide film spacer 214aa and the silicon oxide film 244ab is carried out alternatively. Thereby, silicon oxide film spacer 214aa is changed into silicon oxide film spacer 214ab which has height of about 370nm which is predetermined height, and silicon oxide film 244ab is removed [ drawing 11 (c)]. In addition, as for the depth of a request of the crevice of the above-mentioned polycrystalline silicon film pattern 203ac, it is desirable that it is smaller than the difference of the height of the upper limit of silicon oxide film spacer 214ab and the height of the top face of polycrystalline silicon film pattern 203ab (polycrystalline silicon film pattern 203ac).

[0090] Next, titanium film 207a which has the about 50nm thickness which is the 5th thickness in a flat part by the same approach as the 1st example of the above is formed in the whole surface. The contact width of face of titanium film 207a and polycrystalline silicon film pattern 203ac is about 550nm. (It is the thickness of titanium film 207a) As for the 5th thickness, it is desirable that it is thinner than the difference of predetermined (it is the height of the upper limit of silicon oxide film spacer 214ab) height and the 3rd (it is height of top face of polycrystalline silicon film pattern 203ab (polycrystalline silicon film pattern 203ac)) thickness. On the other hand, the desirable relation between the 5th thickness and the depth of a request of the above-mentioned crevice is not determined uniquely, and is determined by the width of face of the step hippo ridge of titanium film 207a, and this crevice etc. [ drawing 12 (a)].

[0091] Then, lamp annealing for 10 seconds is performed one by one by nitrogen-gas-atmosphere mind at lamp annealing for 30 seconds, and 850 degrees C by 650 degrees C like the 1st example of the above. Titanium nitride film 209a which has titanium silicide film 208aa, 208ab, and the about 20nm thickness which have about 80nm thickness by this heat treatment is formed, polycrystalline silicon film pattern 203ac is changed into polycrystalline silicon film pattern 203ad which has about 210nm thickness in a thick part, and titanium film 207aa is saved. Thereby, gate electrode 213a which consists of polycrystalline silicon film pattern 203ad and titanium silicide film 208aa, and source drain field 216a which consists of N type diffusion layer 206a and titanium silicide film 208ab are formed [ drawing 12 (b)].

[0092] Next, titanium film 207aa and titanium nitride film 209a are H<sub>2</sub> O<sub>2</sub> like the 1st example of the above. Etching removal is alternatively carried out bywater (NH<sub>4</sub> OH may be added).

Thereby, the MOS transistor of this example is completed. Then, an interlayer insulation film 210 is formed of surface flattening etc., for example by formation of the TEOSU BPSG film, and mechanical chemical polishing (MCP). After the contact hole which reaches source drain field 216a etc. is formed in an interlayer insulation film 210, the metal wiring 211 which consists of aluminum-silicon-copper alloy film which used the titanium film and the titanium nitride film as the barrier film is formed [ drawing 12 (c)].

[0093] The 5th example of the above has the effectiveness which the 1st example of the above has. Moreover, according to this example, unlike the 1st, 2nd, and 4th examples (it is dependent on the thickness of a silicon oxide film spacer which contacts a polycrystalline silicon film pattern directly) of the above, to the difference of the height of the upper limit of silicon oxide film spacer 214ab, and the top face of polycrystalline silicon film pattern 203ab (polycrystalline silicon film pattern 203ac), there is an advantage that the degree of freedom of a setup becomes high. Furthermore, this example has the same effectiveness as the 3rd example of the above to application to a CMOS transistor. Since the insulator layer spacer consists of only silicon oxide film spacers unlike the above 1st – the 4th example, this example is superior to the above 1st – the 4th example about degradation of a component property with impregnation of a hot carrier etc. further again.

[0094] In addition The thickness of gate oxide 202, the line breadth of polycrystalline silicon film pattern 203a and thickness, the thickness of polycrystalline silicon film pattern 203aa, the thickness of polycrystalline silicon film pattern 203ab, the thickness of silicon oxide film 204a, the thickness of silicon oxide film 244aa, The thickness of silicon oxide film 244ab, the height of silicon oxide film spacer 214ab, the thickness of silicon nitride film spacer 215aa, the thickness of silicon nitride film spacer 215ab, the depth of the crevice of polycrystalline silicon film pattern 203ac, the depth of junction of N type diffusion layer 206a, About the temperature of the thickness of titanium film 207a, and lamp annealing and time amount, the thickness of titanium silicide film 208aa, the thickness of titanium silicide film 208ab, the thickness of titanium nitride film 209a, etc., it is not limited to the numeric value indicated in the above-mentioned 5th and an above-mentioned example.

[0095] If drawing 13 , drawing 14 , and drawing 15 which are the typical sectional view of the production process of a semiconductor device are referred to, the formation approach of the titanium film etc. is different from the 5th example of the above, and the 6th example of this invention is as follows.

[0096] First, gate oxide 202 grade is formed in the front face of the P type silicon substrate 201 by the same approach as the 5th example of the above. The polycrystalline silicon film (not shown) which has the line breadth (gate length) of about 350nm and the about 400nm film is formed in the front face of this gate oxide 202. The silicon oxide film (not shown) with which it has the about 180nm thickness which is the 1st thickness (the 1st) is formed in the whole surface, etchback (the 1st etchback) of this silicon oxide film and gate oxide 202 is carried out, and silicon oxide film spacer 214b which has the height which is about 400nm is formed. By furthermore giving thermal oxidation, the above-mentioned polycrystalline silicon film pattern is changed into polycrystalline silicon film pattern 203ba which has the 390nm thickness which is the 2nd thickness. Silicon oxide film 244ba in which it has thickness (the 2nd) is formed in this front face of polycrystalline silicon film pattern 203ba in about 20nm. Silicon oxide film 244ab in which it has about 10nm thickness (the 3rd) is formed in the front face of the above-mentioned P type silicon substrate 201 on which gate oxide 202 was removed. The ion implantation of As which used polycrystalline silicon film pattern 203ba and silicon oxide film spacer 214b as the mask etc. is performed, and N type diffusion layer 206b which has the depth of junction of about 0.15 micrometers is formed in the front face of the P type silicon substrate 201 [ drawing 13 (a)].

[0097] Next, the photoresist film (not shown) is applied and formed in the whole surface by the same approach as the 5th example of the above, etchback (the 2nd etchback) of this photoresist

film is carried out, and photoresist film 251ba saves. Then, etchback (the 3rd etchback) of silicon oxide film 244ba and the silicon oxide film spacer 214b is carried out alternatively, the top face of polycrystalline silicon film pattern 203ba is exposed, and silicon oxide film spacer 214ba which has the height which is about 380nm is saved. Furthermore, etchback (the 4th etchback) of the polycrystalline silicon film pattern 203ba is carried out alternatively, and polycrystalline silicon film pattern 203bb which has the about 250nm thickness which is the 3rd thickness is saved. The upper limit of silicon oxide film spacer 214ba is in a location higher about 130nm than this top face of polycrystalline silicon film pattern 203bb [ drawing 13 (b)].

[0098] Next, photoresist film 251ba is O2 by the same approach as the 5th example of the above. It is removed by ashing by the plasma. The silicon nitride film (not shown) which has the about 50nm thickness which is the 4th thickness is formed in the whole surface. Etchback (the 5th etchback) of this silicon nitride film is carried out alternatively. Silicon nitride film spacer 215ba which has height of about 130nm is formed in the near side face of polycrystalline silicon film pattern 203bb of silicon oxide film spacer 214ba. Silicon nitride film spacer 215bb which has height of about 380nm is formed in the near side face of the reverse of silicon oxide film spacer 214ba. Furthermore, silicon oxide film spacer 214ba, silicon oxide film 244bb and silicon nitride film spacer 215ba, and 215bb are used as a mask, and etchback (the 6th etchback) of the above-mentioned polycrystalline silicon film pattern 203bb is carried out alternatively. It is changed into polycrystalline silicon film pattern 203bc which has a crevice with a depth of about 30nm which this polycrystalline silicon film pattern 203bb is parallel to the direction (the direction of channel width) of gate width in the center section on top, and is the desired depth with this 6th etchback [ drawing 13 (c)].

[0099] Next, silicon nitride film spacer 215ba and 215bb are removed by the 7th etchback like the 5th example of the above. In addition, also in this example, in this phase, if a polycrystalline silicon film pattern is N type in order that silicon oxide film 244bb may save (even when this example is applied to the MOS transistor of a P channel mold), heat phosphoric acid can perform removal of silicon nitride film spacer 215ba and 215bb. Then, etchback (the 8th etchback) of silicon oxide film spacer 214ba and the silicon oxide film 244ba is carried out alternatively. Thereby, silicon oxide film spacer 214ba is changed into silicon oxide film spacer 214bb which has height of about 370nm which is predetermined height, and silicon oxide film 244bb is removed. Next, titanium film 207b which has the about 70nm thickness which is the 5th thickness in a flat part by KORIMETORI sputtering like the 2nd example of the above is formed. The contact width of face of titanium film 207b and polycrystalline silicon film pattern 203bc is set to about 520nm. The thickness of this titanium film 207b in the side face of silicon oxide film spacer 214bb is at most about (about [ of the thickness in a flat part ] 1/10) 7nm. It is desirable that the thickness (the 5th thickness) of this titanium film 207b is thinner than the difference (= the predetermined height-3rd thickness) of the height of the upper limit of silicon oxide film spacer 214bb and the top face of polycrystalline silicon film pattern 203bb (polycrystalline silicon film pattern 203bc) [ drawing 14 (a)].

[0100] Next, it is N2 under the temperature of about 350 degrees C, and about 13Pa pressure like the 2nd example of the above. Gas and NH3 The plasma nitriding of the front face of titanium film 207b is carried out by mixed gas with gas, and titanium nitride film 219b which has the about 20nm thickness which is the 6th thickness in a flat part is formed. Moreover, titanium film 217b saves by this plasma nitriding [ drawing 14 (b)]. As for the thickness (the 5th thickness) of the above-mentioned titanium film 207b, from a request called the continuous covering nature of the front face of polycrystalline silicon film pattern 203bc by this titanium film 217b, it is desirable that it is thicker than the sum of the depth of a request of the above-mentioned crevice of polycrystalline silicon film pattern 203bc and the thickness (the 6th thickness) of titanium nitride film 219b.

[0101] Next, lamp annealing for 10 seconds is performed one by one by an argon or the helium ambient atmosphere at lamp annealing for 30 seconds, and 850 degrees C by 650 degrees C like

the 2nd example of the above. Titanium silicide film 208ba which has about 80nm thickness, and 208bb are formed, it is changed into polycrystalline silicon film pattern 203bd which has the thickness whose polycrystalline silicon film pattern 203bc is about 210nm, titanium film 217ba is saved by this heat treatment between titanium silicide film 208ba and titanium nitride film 219b, and titanium film 217bb is saved between titanium silicide film 208bb and titanium nitride film 219b. Thereby, gate electrode 213b which consists of polycrystalline silicon film pattern 203bd and titanium silicide film 208ba, and source drain field 216b which consists of N type diffusion layer 206b and titanium silicide film 208bb are formed [ drawing 14 (c) ]. Then, an interlayer insulation film 210, a contact hole, and the metal wiring 211 are formed by the same approach as the 5th example of the above etc. [ drawing 15 ].

[0102] The 6th example of the above has the effectiveness which the 5th example of the above has. Furthermore, this example has the effectiveness which the 2nd example of the above has.

[0103] In addition The line breadth of polycrystalline silicon film pattern 203ba And thickness, the thickness of polycrystalline silicon film pattern 203ba, the thickness of polycrystalline silicon film pattern 203bb, the thickness of silicon oxide film spacer 214b, the thickness of silicon oxide film 244ba, thickness of silicon oxide film 244bb, height of silicon oxide film spacer 214bb, The thickness of silicon nitride film spacer 215ba, the thickness of silicon nitride film spacer 215bb, the depth of junction of N type diffusion layer 206b, the depth of the crevice of polycrystalline silicon film pattern 203bc, the thickness of titanium film 207b, the temperature of plasma nitriding And about the temperature of a pressure and lamp annealing and time amount, the thickness of titanium silicide film 208ba, the thickness of titanium silicide film 208bb, the thickness of titanium nitride film 219b, etc., it is not limited to the numeric value indicated in the above-mentioned 6th and an above-mentioned example.

[0104]

[Effect of the Invention] As explained above, the semiconductor device of this invention The insulator layer spacer formed in the side face of the source drain field where a silicon substrate, gate dielectric film, and a polycrystalline silicon film pattern and the 1st titanium silicide film consist of a gate electrode by which the laminating was carried out, and the 2nd titanium silicide film and diffusion layer, and a gate electrode It is the MOS transistor of the Salicide structure which it has, and the upper limit of an insulator layer spacer is in a location higher than the top face of a gate electrode, It is characterized by a polycrystalline silicon film pattern and the 1st titanium silicide film the film in a gate electrode, and contact width of face (contact width of face of the polycrystalline silicon film pattern and titanium film in the preceding paragraph story in which, as for paraphrase \*\*\*\*, a gate electrode is formed) being wider than gate length. These structures are attained by making lower than the top face of a gate electrode the upper limit of the 1st insulator layer spacer which contacts the side face of nothing and a gate electrode directly in the laminated structure which an insulator layer spacer becomes from the 1st insulator layer spacer and the 2nd insulator layer spacer, or establishing a crevice in the center section of the polycrystalline silicon film pattern in parallel with the gate width direction.

[0105] It becomes easy to face to silicide-ize the titanium film for formation of the 1st titanium silicide film which makes a gate electrode, and to obtain the 1st titanium silicide film of C54 structure which is a low resistance phase from the description on the above-mentioned structure, and the rise of the resistivity of a gate electrode can control easily. Moreover, it becomes easy for the distance which separates the 1st titanium silicide film which makes a gate electrode, and the 2nd titanium silicide film which accomplishes a source drain field from the description on the above-mentioned structure to make it longer than the conventional semiconductor device by existence of the above-mentioned insulator layer spacer.

Consequently, it becomes possible to control the bridging phenomenon of increasing leakage current, a short circuit, etc. between a gate electrode and a source drain field.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-37301

(43)公開日 平成8年(1996)2月6日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/28	3 0 1 T			
21/318	M			
			H 0 1 L 29/ 78	3 0 1 G
			21/ 88	Q
審査請求 有 請求項の数16 O L (全 25 頁) 最終頁に続く				

(21)出願番号 特願平6-170604

(22)出願日 平成6年(1994)7月22日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 川口 宏

東京都港区芝五丁目7番1号 日本電気株式会社内

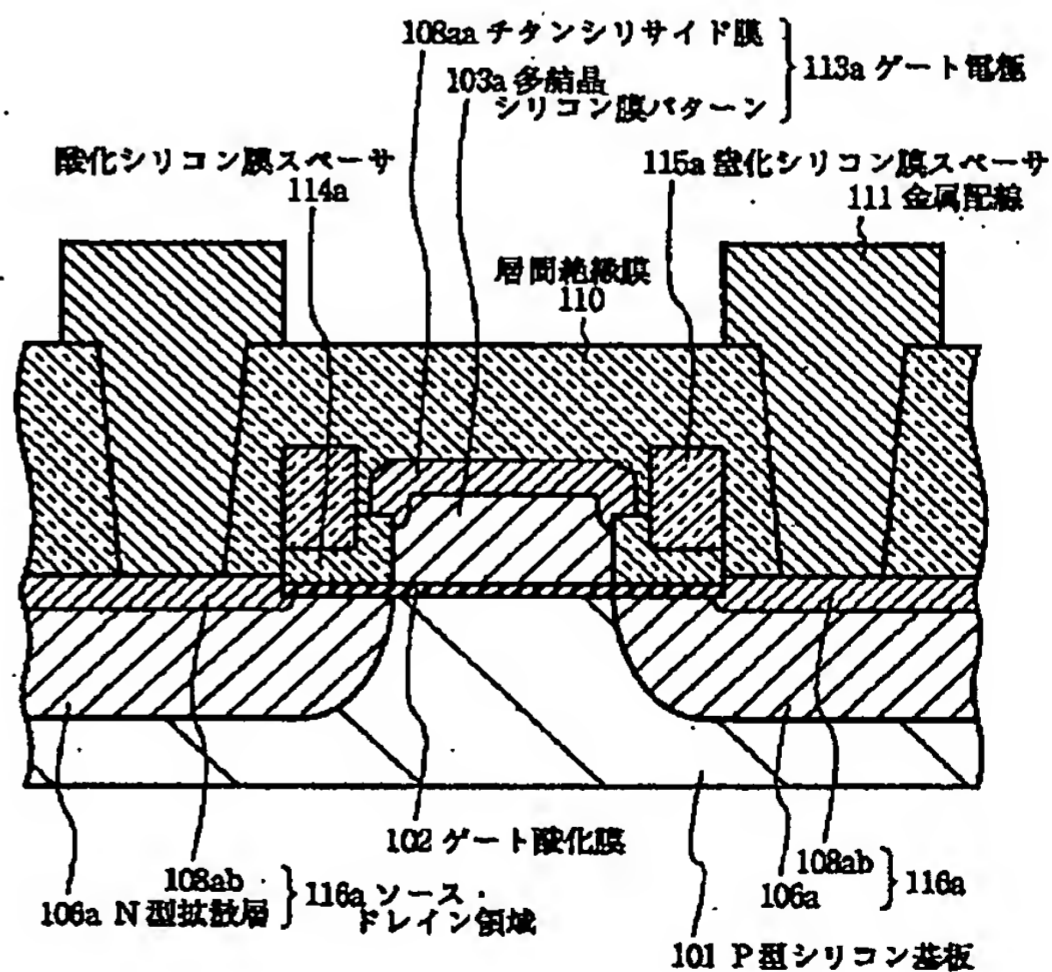
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】チタンシリサイド膜を含んでなるシリサイド構造のMOSトランジスタにおいて、ゲート電極の抵抗率の上昇を抑制し、ゲート電極およびソース・ドレイン領域の間のブリッジング現象を抑制することができる半導体装置の構造と、その製造方法とを提供する。

【構成】ゲート電極113aは多結晶シリコン膜パターン103aとチタンシリサイド膜108aaとからなり、両者の接触幅はゲート長より広い。スペーサは、上端がゲート電極113aの上面より低い酸化シリコン膜スペーサ114aと、上端がゲート電極113aの上面より高い窒化シリコン膜スペーサ115aとからなる。



## 【特許請求の範囲】

【請求項 1】 一導電型のシリコン基板の表面に設けられたゲート酸化膜と、該ゲート酸化膜を介して該シリコン基板の表面上に設けられた所定導電型の多結晶シリコン膜パターンおよび該多結晶シリコン膜パターンの表面に設けられた第 1 のチタンシリサイド膜からなるゲート電極と、該ゲート電極の側面に設けられた絶縁膜スペーサと、該シリコン基板の表面に設けられてた逆導電型の拡散層および該絶縁膜スペーサ直下を除いた該拡散層の表面に設けられた第 2 のチタンシリサイド膜からなるソース・ドレイン領域とを有することと、前記多結晶シリコン膜パターンと前記第 1 のチタンシリサイド膜との前記ゲート電極のゲート長方向に沿って接触する長さが、該ゲート長より長いことと、前記絶縁膜スペーサの上端が、前記ゲート電極の上面より高いこととを併せて特徴とする半導体装置。

【請求項 2】 前記絶縁膜スペーサが、前記ゲート酸化膜の表面を直接に覆い、前記多結晶シリコン膜の側面を直接に覆い、前記ゲート電極の上面より低い上端を有する第 1 の絶縁膜スペーサと、前記ゲート電極の上面より高い上端を有し、前記第 1 の絶縁膜スペーサを介して該ゲート電極を側面に設けられた第 2 の絶縁膜スペーサとを少なくとも有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 の絶縁膜スペーサが酸化シリコン膜からなり、前記第 2 の絶縁膜スペーサが窒化シリコン膜からなることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記多結晶シリコン膜パターンの上面が、前記ゲート電極のゲート幅方向に平行な凹部を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記絶縁膜スペーサが酸化シリコン膜からなることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第 1 の膜厚を有する多結晶シリコン膜を形成し、該多結晶シリコン膜をパターンニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、全面にそれぞれ第 2 および第 3 の膜厚を有する酸化シリコン膜および窒化シリコン絶縁膜を順次形成する工程と、異方性エッチングによる第 1 のエッチバックを前記窒化シリコン膜に対して選択的に行ない、前記酸化シリコン膜を介して前記多結晶シリコン膜パターンの側面に窒化シリコン膜スペーサを形成する工程と、異方性エッチングによる第 2 のエッチバックを前記酸化シリコン膜並びに前記ゲート酸化膜に対して選択的に行ない、前記多結晶シリコン膜パターンの側面に前記第 1 の膜厚より低い所定の高さを有する酸化シリコン膜スペーサを形成する工程と、

前記多結晶シリコン膜パターン、前記酸化シリコン膜スペーサおよび前記窒化シリコン膜スペーサをマスクにしたイオン注入により、前記シリコン基板の表面に逆導電型の拡散層を形成する工程と、スパッタリングにより、全面に第 4 の膜厚を有するチタン膜を形成する工程と、熱処理により前記多結晶シリコン膜パターンの表面および前記拡散層の表面にそれぞれ第 1 のチタンシリサイド膜および第 2 のチタンシリサイド膜を形成し、少なくとも未反応の該チタン膜を選択的に除去して該第 1 のチタンシリサイド膜および該第 2 のチタンシリサイド膜を残置する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 7】 前記第 4 の膜厚が前記第 2 の膜厚より薄いことを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】 コリメトリスパッタリングにより前記チタン膜を形成し、プラズマ窒化により該チタン膜の表面に第 5 の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気で行なうことと、前記第 1 の膜厚と前記第 2 の膜厚との和が前記所定の高さと前記第 4 の膜厚との和より大きく、該第 4 の膜厚と前記第 5 の膜厚との差が該第 1 の膜厚と該所定の高さととの差より大きいこととを併せて特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 9】 一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第 1 の膜厚を有する多結晶シリコン膜と所望の膜厚を有する第 1 の酸化シリコン膜とを形成し、該第 1 の酸化シリコン膜および該多結晶シリコン膜をパターンニングし、該第 1 の酸化シリコン膜が載置され、所望の幅を有する多結晶シリコン膜パターンを形成する工程と、全面に第 2 の膜厚を有する第 2 の酸化シリコン膜を形成し、異方性エッチングによる第 1 のエッチバックを該第 2 の酸化シリコン膜、前記第 1 の酸化シリコン膜並びに前記ゲート酸化膜に対して選択的に行ない、前記多結晶シリコン膜パターンの表面に第 3 の膜厚を有する該第 1 の酸化シリコン膜を残置し、該多結晶シリコン膜パターンの側面に酸化シリコン膜スペーサを形成する工程と、全面に第 4 の膜厚を有する窒化シリコン膜を形成し、異方性エッチングによる第 2 のエッチバックを該窒化シリコン膜に対して選択的に行ない、前記酸化シリコン膜スペーサを介して前記多結晶シリコン膜パターンの側面に窒化シリコン膜スペーサを形成する工程と、少なくとも前記多結晶シリコン膜パターン、前記第 1 の酸化シリコン膜および前記酸化シリコン膜スペーサをマスクにしたイオン注入により、前記シリコン基板の表面に逆導電型の拡散層を形成する工程と、異方性エッチングにより第 3 のエッチバックを前記第 1

の酸化シリコン膜並びに前記酸化シリコン膜スペーサに対して選択的に行ない、該第 1 の酸化シリコン膜を除去し、該酸化シリコン膜スペーサを前記第 1 の膜厚より低い所定の高さにする工程と、  
スパッタリングにより、全面に第 5 の膜厚を有するチタン膜を形成する工程と、  
熱処理により前記多結晶シリコン膜パターンの表面および前記拡散層の表面にそれぞれ第 1 のチタンシリサイド膜および第 2 のチタンシリサイド膜を形成し、少なくとも未反応の該チタン膜を選択的に除去して該第 1 のチタンシリサイド膜および該第 2 のチタンシリサイド膜を残置する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 10】 前記第 5 の膜厚が前記第 3 の膜厚より薄いことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】 コリメトリスパッタリングにより前記チタン膜を形成し、プラズマ窒化により該チタン膜の表面に第 6 の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気で行なうことと、  
前記第 1 の膜厚と前記第 3 の膜厚との和が前記所定の高さと前記第 5 の膜厚との和より大きく、該第 5 の膜厚と前記第 6 の膜厚との差が該第 1 の膜厚と該所定の高さととの差より大きいことを併せて特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 12】 一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第 1 の膜厚を有する多結晶シリコン膜を形成し、該多結晶シリコン膜をパターンニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、  
全面にそれぞれ第 2、第 3 および第 4 の膜厚を有する第 1 の酸化シリコン膜、窒化シリコン絶縁膜および第 2 の酸化シリコン膜を順次形成する工程と、  
異方性エッチングによる第 1 のエッチバックを前記窒化シリコン膜の表面が露出するまで前記第 3 の酸化シリコン膜に対して行ない、前記第 1 の酸化シリコン膜および該窒化シリコン膜を介して、前記多結晶シリコン膜パターンの側面に、該第 2 の酸化シリコン膜からなる第 1 の酸化シリコン膜スペーサを形成する工程と、  
異方性エッチングによる第 2 のエッチバックを前記窒化シリコン膜に対して選択的に行ない、前記第 1 の酸化シリコン膜を介して前記多結晶シリコン膜パターンの側面に窒化シリコン膜スペーサを形成する工程と、  
異方性エッチングによる第 3 のエッチバックを前記第 1 の酸化シリコン膜並びに前記第 2 の酸化シリコン膜スペーサに対して選択的に行ない、前記多結晶シリコン膜パターンの側面に、前記第 1 の膜厚より低い第 1 の高さを有する該第 1 の酸化シリコン膜からなる第 2 の酸化シリコン膜スペーサを形成し、該第 2 の酸化シリコン膜スペー

ーサの高さを第 2 の高さに低くする工程と、  
前記多結晶シリコン膜パターン、前記第 2 の酸化シリコン膜スペーサ、前記窒化シリコン膜スペーサおよび前記第 1 の酸化シリコン膜スペーサをマスクにしたイオン注入により、前記シリコン基板の表面に逆導電型の拡散層を形成する工程と、  
スパッタリングにより、全面に第 5 の膜厚を有するチタン膜を形成する工程と、  
熱処理により前記多結晶シリコン膜パターンの表面および前記拡散層の表面にそれぞれ第 1 のチタンシリサイド膜および第 2 のチタンシリサイド膜を形成し、少なくとも未反応の該チタン膜を選択的に除去して該第 1 のチタンシリサイド膜および該第 2 のチタンシリサイド膜を残置する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 13】 前記第 5 の膜厚が前記第 2 の膜厚より薄いことを特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項 14】 コリメトリスパッタリングにより前記チタン膜を形成し、プラズマ窒化により該チタン膜の表面に第 6 の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気で行なうことと、  
前記第 1 の膜厚と前記第 2 の膜厚との和が前記第 1 の高さと前記第 5 の膜厚との和より大きく、該第 5 の膜厚と前記第 6 の膜厚との差が該第 1 の膜厚と該第 1 の高さととの差より大きいことを併せて特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項 15】 一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で所要の膜厚を有する多結晶シリコン膜を形成し、該多結晶シリコン膜をパターンニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、  
全面に第 1 の膜厚を有する第 1 の酸化シリコン膜を形成し、異方性エッチングによる第 1 のエッチバックを該第 1 の酸化シリコン膜並びに前記ゲート酸化膜に対して選択的に行ない、前記多結晶シリコン膜パターンの側面に酸化シリコン膜スペーサを形成する工程と、  
熱酸化により前記多結晶シリコン膜パターンの表面および前記シリコン基板の表面にそれぞれ第 2 の酸化シリコン膜および第 3 の酸化シリコン膜を形成し、該多結晶シリコン膜パターンの膜厚を第 2 の膜厚にする工程と、  
全面にフォトリソスト膜を形成し、少なくとも前記第 2 の酸化シリコン膜が露出するまで該フォトリソスト膜に対して第 2 のエッチバックを行なう工程と、  
前記フォトリソスト膜をマスクにして、異方性エッチングによる第 3 のエッチバックを前記第 2 の酸化シリコン膜に対して選択的に行ない、前記多結晶シリコン膜パターンの表面を露出させる工程と、  
少なくとも前記酸化シリコン膜スペーサをマスクにし

て、異方性エッチングによる第4のエッチバックを前記多結晶シリコン膜パターンに対して選択的に行ない、該多結晶シリコン膜パターンを第3の膜厚に薄くする工程と、

全面に第4の膜厚を有する窒化シリコン膜を形成し、異方性エッチングによる第5のエッチバックを該窒化シリコン膜に対して選択的に行ない、前記酸化シリコン膜スペーサの側面に窒化シリコン膜スペーサを形成する工程と、

少なくとも前記多結晶シリコン膜パターンおよび前記酸化シリコン膜スペーサをマスクにしたイオン注入により、前記シリコン基板の表面に逆導電型の拡散層を形成する工程と、

前記窒化シリコン膜スペーサをマスクにして、異方性エッチングによる第6のエッチバックを前記多結晶シリコン膜パターンに対して選択的に行ない、該多結晶シリコン膜パターンの表面に所望の深さを有する凹部を形成する工程と、

異方性エッチングによる第7のエッチバックにより前記窒化シリコン膜スペーサを除去し、異方性エッチングによる第8のエッチバックを前記第3の酸化シリコン膜並びに前記酸化シリコン膜スペーサに対して選択的に行ない、該第3の酸化シリコン膜を除去して前記拡散層の表面を露出させ、該酸化シリコン膜スペーサを所定の高さにする工程と、

スパッタリングにより、全面に前記所定の高さと前記第3の膜厚との差より薄い第5の膜厚を有するチタン膜を形成する工程と、

熱処理により前記多結晶シリコン膜パターンの表面および前記拡散層の表面にそれぞれ第1のチタンシリサイド膜および第2のチタンシリサイド膜を形成し、少なくとも未反応の該チタン膜を選択的に除去して該第1のチタンシリサイド膜および該第2のチタンシリサイド膜を残置する工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 コリメトリスパッタリングにより前記チタン膜を形成し、プラズマ窒化により該チタン膜の表面に第6の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気で行なうことを特徴とする請求項15記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及びその製造方法に関し、特にサリサイド構造を有するMOSトランジスタを含んでなる半導体装置とその製造方法とに関する。

【0002】

【従来の技術】 MOSトランジスタを含んでなる半導体装置では、半導体装置の高集積化、高速化は、主とし

て、MOSトランジスタのゲート絶縁膜の膜厚、チャネル長、チャネル幅、拡散層の幅および配線ピッチ（配線幅および配線間隔）等の縮小によりなされてきた。これらの縮小に伴って、何らかの工夫を施さなければ、寄生抵抗等が増加して、半導体装置の高速化に支障を来たことになる。設計ルールがサブミクロン設計ルールになるまでは、ゲート電極の層抵抗を低くすることで高速化に対処してきた。この段階でのゲート電極の構造には、

（例えばN型の）多結晶シリコン膜と高融点金属シリサイド膜との積層膜からなるポリサイド構造が採用されていた。高融点金属シリサイド膜としては、主としてタングステンシリサイド膜あるいはモリブデンシリサイド膜が用いられてきた。なお、層抵抗の低さという点に着目するならば、チタンシリサイド膜を用いたポリサイド構造のゲート電極が極めて好ましい。それにもかかわらず、チタンシリサイド膜を用いたポリサイド構造のゲート電極は、実用に供されなかった。これは、チタンシリサイド膜と多結晶シリコン膜との積層膜に対してのエッチング加工性（ドライエッチング）が、非常に困難なためである。

【0003】 設計ルールがサブミクロン設計ルールになると、ゲート電極の層抵抗を低くすることのみでは、上記半導体装置の高速化の達成は困難になってきた。これは（配線が接続されるソース・ドレイン領域の）コンタクト孔とチャネル領域との間の層抵抗の高さが高速化の主要阻止要因となるためであり、その結果、ソース・ドレイン領域の寄生抵抗の低減が重要になってきた。これの対策として、ゲート電極をなす多結晶シリコン膜パターンの表面とソース・ドレイン領域をなす拡散層の表面とに自己整合的に高融点金属シリサイド膜が形成されたサリサイド構造のMOSトランジスタが実用化されている。これに用いる高融点金属シリサイド膜としては、チタンシリサイド膜が主であり、他にコバルトシリサイド膜やニッケルシリサイド膜等の検討が報告されている。

【0004】 チタンシリサイド膜を用いたサリサイド構造の例えばNチャネル型のMOSトランジスタの形成方法の要旨は、次のようになっている。

【0005】 熱酸化法により、P型のシリコン基板の表面に、フィールド酸化膜とゲート酸化膜とが形成される。全面にN型の多結晶シリコン膜が形成され、これがパターンニングされて多結晶シリコン膜パターンが形成される。気相成長法により全面に酸化シリコン膜が形成され、この膜が異方性エッチングによりエッチバックされて多結晶シリコン膜パターンの側面に酸化シリコン膜スペーサが形成される。一般的に、この酸化シリコン膜スペーサの高さは、多結晶シリコン膜パターンの膜厚に等しい。これら多結晶シリコン膜パターンおよび酸化シリコン膜スペーサをマスクにしたイオン注入等により、N型の拡散層が形成される。酸化シリコン膜スペーサの幅（概ね上記酸化シリコン膜の膜厚に等しい）が広い場合

【0008】ゲート長が短い場合でもC54構造のチタンシリサイド膜の抵抗率を上昇させずにすむ方策が、シンソリッドフィルムス（Thin Solid Films）1991年、第198巻、53頁～66頁に報告されている。この報告の内容の説明を、本発明者の追試に基づいて説明する。

【0012】半導体装置の模式的断面図である図18を参照すると、チタン膜を窒素雰囲気中でランプアニールする際に、その原因は定かではないが、酸化シリコン膜スペーサ314の表面に局所的にチタンシリサイド膜308cが形成される。このチタンシリサイド膜308cはチタンシリサイド膜308a（ゲート電極313）とチタンシリサイド膜308b（ソース・ドレイン領域316）との間のリーク・パスとなり、これらの間のリーク電流の増大、さらには短絡を生じることになる。ブリッ

ジング現象は、このように酸化シリコン膜スペーサ 314 の表面に局所的にチタンシリサイド膜 308c が存在することと、ゲート電極 313 とソース・ドレイン領域 316 との間にリーク電流が増大し、短絡が生じやすくなることを総称した現象である。このリーク電流の大きさや短絡の発生の度合は、酸化シリコン膜スペーサ 314 の表面に沿ったチタンシリサイド膜 308a とチタンシリサイド膜 308b との間隔に反比例する。このため、この方策を用いると、通常の場合よりブリッジング現象が顕著になる。

【0013】したがって本発明の目的は、チタンシリサイド膜によるシリサイド構造の MOS トランジスタにおいて、このチタンシリサイド膜の抵抗率を上昇させずにブリッジング現象を抑制もしくは抑止する半導体装置と、その製造方法とを提供することにある。

【0014】

【課題を解決するための手段】本発明の半導体装置の特徴は、一導電型のシリコン基板の表面に設けられたゲート酸化膜と、このゲート酸化膜を介してシリコン基板の表面上に設けられた所定導電型の多結晶シリコン膜パターンおよびこの多結晶シリコン膜パターンの表面に設けられた第 1 のチタンシリサイド膜からなるゲート電極と、ゲート電極の側面に設けられた絶縁膜スペーサと、シリコン基板の表面に設けられた逆導電型の拡散層および絶縁膜スペーサ直下を除いた拡散層の表面に設けられた第 2 のチタンシリサイド膜からなるソース・ドレイン領域とを有することと、上記多結晶シリコン膜パターンと上記第 1 のチタンシリサイド膜との上記ゲート電極のゲート長方向に沿って接触する長さが、ゲート長より長いことと、上記絶縁膜スペーサの上端が、上記ゲート電極の上面より高いこととにある。

【0015】好ましくは、上記絶縁膜スペーサが、上記ゲート酸化膜の表面を直接に覆い、上記多結晶シリコン膜の側面を直接に覆い、上記ゲート電極の上面より低い上端を有する第 1 の絶縁膜スペーサと、上記ゲート電極の上面より高い上端を有し、上記第 1 の絶縁膜スペーサを介してゲート電極を側面に設けられた第 2 の絶縁膜スペーサとを少なくとも有する。さらに、上記第 1 の絶縁膜スペーサが酸化シリコン膜からなり、上記第 2 の絶縁膜スペーサが窒化シリコン膜からなる。

【0016】さらに好ましくは、上記多結晶シリコン膜パターンの上面が、上記ゲート電極のゲート幅方向に平行な凹部を有する。さらに、上記絶縁膜スペーサが酸化シリコン膜からなる。

【0017】本発明の半導体装置の製造方法の第 1 の態様は、一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第 1 の膜厚を有する多結晶シリコン膜を形成し、この多結晶シリコン膜をパターンニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、全面にそれぞれ第 2 およ

び第 3 の膜厚を有する酸化シリコン膜および窒化シリコン絶縁膜を順次形成する工程と、異方性エッチングによる第 1 のエッチバックを上記窒化シリコン膜に対して選択的に行ない、上記酸化シリコン膜を介して上記多結晶シリコン膜パターンの側面に窒化シリコン膜スペーサを形成する工程と、異方性エッチングによる第 2 のエッチバックを上記酸化シリコン膜並びに上記ゲート酸化膜に対して選択的に行ない、上記多結晶シリコン膜パターンの側面に、上記第 1 の膜厚より低い所定の高さを有する酸化シリコン膜スペーサを形成する工程と、上記多結晶シリコン膜パターン、上記酸化シリコン膜スペーサおよび上記窒化シリコン膜スペーサをマスクにしたイオン注入により、上記シリコン基板の表面に逆導電型の拡散層を形成する工程と、スパッタリングにより、全面に第 4 の膜厚を有するチタン膜を形成する工程と、熱処理により上記多結晶シリコン膜パターンの表面および上記拡散層の表面にそれぞれ第 1 のチタンシリサイド膜および第 2 のチタンシリサイド膜を形成し、少なくとも未反応のチタン膜を選択的に除去してこの第 1 のチタンシリサイド膜およびこの第 2 のチタンシリサイド膜を残置する工程とを有する。

【0018】好ましくは、上記第 4 の膜厚が上記第 2 の膜厚より薄い。

【0019】さらに好ましくは、コリメトリスパッタリングにより上記チタン膜を形成し、プラズマ窒化によりこのチタン膜の表面に第 5 の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気ですり処理を行なう。さらに、上記第 1 の膜厚と上記第 2 の膜厚との和が上記所定の高さと上記第 4 の膜厚との和より大きく、この第 4 の膜厚と上記第 5 の膜厚との差がこの第 1 の膜厚と所定の高さととの差より大きい。

【0020】本発明の半導体装置の製造方法の第 2 の態様は、一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第 1 の膜厚を有する多結晶シリコン膜と所望の膜厚を有する第 1 の酸化シリコン膜とを形成し、この第 1 の酸化シリコン膜およびこの多結晶シリコン膜をパターンニングし、この第 1 の酸化シリコン膜が載置され、所望の幅を有する多結晶シリコン膜パターンを形成する工程と、全面に第 2 の膜厚を有する第 2 の酸化シリコン膜を形成し、異方性エッチングによる第 1 のエッチバックをこの第 2 の酸化シリコン膜、上記第 1 の酸化シリコン膜並びに上記ゲート酸化膜に対して選択的に行ない、上記多結晶シリコン膜パターンの表面に第 3 の膜厚を有するこの第 1 の酸化シリコン膜を残置し、この多結晶シリコン膜パターンの側面に酸化シリコン膜スペーサを形成する工程と、全面に第 4 の膜厚を有する窒化シリコン膜を形成し、異方性エッチングによる第 2 のエッチバックを上記窒化シリコン膜に対して選択的に行ない、上記酸化シリコン膜スペーサを介して上記多結晶シリコン膜パターンの側面に窒化シ

リコン膜スペーサを形成する工程と、少なくとも上記多結晶シリコン膜パターン、上記第 1 の酸化シリコン膜および上記酸化シリコン膜スペーサをマスクにしたイオン注入により、上記シリコン基板の表面に逆導電型の拡散層を形成する工程と、異方性エッチングによる第 3 のエッチバックを上記第 1 の酸化シリコン膜並びに上記酸化シリコン膜スペーサに対して選択的に行ない、この第 1 の酸化シリコン膜を除去し、この酸化シリコン膜スペーサを上記第 1 の膜厚より低い所定の高さにする工程と、スパッタリングにより、全面に第 5 の膜厚を有するチタン膜を形成する工程と、熱処理により上記多結晶シリコン膜パターンの表面および上記拡散層の表面にそれぞれ第 1 のチタンシリサイド膜および第 2 のチタンシリサイド膜を形成し、少なくとも未反応のこのチタン膜を選択的に除去してこの第 1 のチタンシリサイド膜およびこの第 2 のチタンシリサイド膜を残置する工程とを有する。

【0021】好ましくは、上記第 5 の膜厚が上記第 3 の膜厚より薄い。

【0022】さらに好ましくは、コリメトリスパッタリングにより上記チタン膜を形成し、プラズマ窒化によりこのチタン膜の表面に第 6 の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気ですりこみ熱処理を行なう。さらに、上記第 1 の膜厚と上記第 3 の膜厚との和が上記所定の高さと上記第 5 の膜厚との和より大きく、この第 5 の膜厚と上記第 6 の膜厚との差がこの第 1 の膜厚とこの所定の高さととの差より大きい。

【0023】本発明の半導体装置の製造方法の第 3 の態様は、一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で第 1 の膜厚を有する多結晶シリコン膜を形成し、この多結晶シリコン膜をパターニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、全面にそれぞれ第 2、第 3 および第 4 の膜厚を有する第 1 の酸化シリコン膜、窒化シリコン絶縁膜および第 2 の酸化シリコン膜を順次形成する工程と、異方性エッチングによる第 1 のエッチバックを上記窒化シリコン膜の表面が露出するまで上記第 3 の酸化シリコン膜に対して行ない、上記第 1 の酸化シリコン膜およびこの窒化シリコン膜を介して上記多結晶シリコン膜パターンの側面にこの第 2 の酸化シリコン膜からなる第 1 の酸化シリコン膜スペーサを形成する工程と、異方性エッチングによる第 2 のエッチバックを上記窒化シリコン膜に対して選択的に行ない、上記第 1 の酸化シリコン膜を介して上記多結晶シリコン膜パターンの側面に窒化シリコン膜スペーサを形成する工程と、異方性エッチングによる第 3 のエッチバックを上記第 1 の酸化シリコン膜並びに上記第 2 の酸化シリコン膜スペーサに対して選択的に行ない、上記多結晶シリコン膜パターンの側面に上記第 1 の膜厚より低い第 1 の高さを有するこの第 1 の酸化シリコン膜からなる第 2 の酸化シリコン膜スペーサを形成し、この第 2 の酸化シリコン膜スペー

サの高さを第 2 の高さに低くする工程と、上記多結晶シリコン膜パターン、上記第 2 の酸化シリコン膜スペーサ、上記窒化シリコン膜スペーサおよび上記第 1 の酸化シリコン膜スペーサをマスクにしたイオン注入により、上記シリコン基板の表面に逆導電型の拡散層を形成する工程と、スパッタリングにより、全面に第 5 の膜厚を有するチタン膜を形成する工程と、熱処理により上記多結晶シリコン膜パターンの表面および上記拡散層の表面にそれぞれ第 1 のチタンシリサイド膜および第 2 のチタンシリサイド膜を形成し、少なくとも未反応のこのチタン膜を選択的に除去してこの第 1 のチタンシリサイド膜およびこの第 2 のチタンシリサイド膜を残置する工程とを有する。

【0024】好ましくは、上記第 5 の膜厚が上記第 2 の膜厚より薄い。

【0025】さらに好ましくは、コリメトリスパッタリングにより上記チタン膜を形成し、プラズマ窒化によりこのチタン膜の表面に第 6 の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気ですりこみ熱処理を行なう。さらに、上記第 1 の膜厚と上記第 2 の膜厚との和が上記第 1 の高さと上記第 5 の膜厚との和より大きく、この第 5 の膜厚と上記第 6 の膜厚との差がこの第 1 の膜厚とこの第 1 の高さととの差より大きい。

【0026】本発明の半導体装置の製造方法の第 4 の態様は、一導電型のシリコン基板の表面の所要の領域にゲート酸化膜を形成し、全面に所定導電型で所要の膜厚を有する多結晶シリコン膜を形成し、この多結晶シリコン膜をパターニングして所望の幅を有する多結晶シリコン膜パターンを形成する工程と、全面に第 1 の膜厚を有する第 1 の酸化シリコン膜を形成し、異方性エッチングによる第 1 のエッチバックをこの第 1 の酸化シリコン膜並びに上記ゲート酸化膜に対して選択的に行ない、上記多結晶シリコン膜パターンの側面に酸化シリコン膜スペーサを形成する工程と、熱酸化により上記多結晶シリコン膜パターンの表面および上記シリコン基板の表面にそれぞれ第 2 の酸化シリコン膜および第 3 の酸化シリコン膜を形成し、この多結晶シリコン膜パターンの膜厚を第 2 の膜厚にする工程と、全面にフォトリソ膜を形成し、少なくとも上記第 2 の酸化シリコン膜が露出するまでこのフォトリソ膜に対して第 2 のエッチバックを行なう工程と、上記フォトリソ膜をマスクにして、酸化シリコン膜に対する選択性の高い異方性エッチングにより上記第 2 の酸化シリコン膜に対して第 3 のエッチバックを行ない、上記多結晶シリコン膜パターンの表面を露出させる工程と、少なくとも上記酸化シリコン膜スペーサをマスクにして、異方性エッチングによる第 4 のエッチバックを上記多結晶シリコン膜パターンに対して選択的に行ない、この多結晶シリコン膜パターンを第 3 の膜厚に薄くする工程と、全面に第 4 の膜厚を有する窒化シリコン膜を形成し、異方性エッチングによる第 5 の

エッチバックをこの窒化シリコン膜に対して選択的に行ない、上記酸化シリコン膜スペーサの側面に窒化シリコン膜スペーサを形成する工程と、少なくとも上記多結晶シリコン膜パターンおよび上記酸化シリコン膜スペーサをマスクにしたイオン注入により、上記シリコン基板の表面に逆導電型の拡散層を形成する工程と、上記窒化シリコン膜スペーサをマスクにして、異方性エッチングによる第6のエッチバックを上記多結晶シリコン膜パターンに対して選択的に行ない、この多結晶シリコン膜パターンの表面に所望の深さを有する凹部を形成する工程と、異方性エッチングによる第7のエッチバックにより上記窒化シリコン膜スペーサを除去し、異方性エッチングによる第8のエッチバックを上記第3の酸化シリコン膜並びに上記酸化シリコン膜スペーサに対して選択的に行ない、この第3の酸化シリコン膜を除去し、上記拡散層の表面を露出させ、この酸化シリコン膜スペーサを所定の高さにする工程と、スパッタリングにより、全面に上記所定の高さと上記第3の膜厚との差より薄い第5の膜厚を有するチタン膜を形成する工程と、熱処理により上記多結晶シリコン膜パターンの表面および上記拡散層の表面にそれぞれ第1のチタンシリサイド膜および第2のチタンシリサイド膜を形成し、少なくとも未反応のこのチタン膜を選択的に除去してこの第1のチタンシリサイド膜およびこの第2のチタンシリサイド膜を残置する工程とを有する。

【0027】好ましくは、コリメトリスパッタリングにより上記チタン膜を形成し、プラズマ窒化によりこのチタン膜の表面に第6の膜厚を有する窒化チタン膜を形成した後、アルゴンもしくはヘリウム雰囲気です上記熱処理を行なう。

【0028】

【実施例】次に、本発明について図面を参照して説明する。

【0029】まず、本発明の第1の実施例による半導体装置の構造について説明する。

【0030】半導体装置の模式的断面図である図1を参照すると、本発明の第1の実施例は、チタンシリサイド膜を含んでなるシリサイド構造のNチャネル型のMOSトランジスタであり、次のようになっている。

【0031】P型シリコン基板101の表面には、膜厚8nm程度のゲート酸化膜102およびフィールド酸化膜（図示せず）と、接合の深さ0.15 $\mu$ m程度のN型拡散層106aとが設けられている。P型シリコン基板101の表面上には、ゲート酸化膜102を介して、ゲート電極113aが設けられている。このゲート電極113aは、260nm程度の膜厚（高さ）で350nm程度の幅（＝ゲート長）のN型の多結晶シリコン膜パターン103aと、この多結晶シリコン膜パターン103aの上面を覆う膜厚80nm程度のチタンシリサイド膜108aaとの積層膜から構成されている。このゲート

電極113aの側面には、底面の幅が180nm程度の積層構造の絶縁膜スペーサが設けられている。

【0032】この絶縁膜スペーサは、第1の絶縁膜スペーサである酸化シリコン膜スペーサ114aと、第2の絶縁膜スペーサである窒化シリコン膜スペーサ115aとから構成されている。酸化シリコン膜スペーサ114aの断面形状はL字型をなし、この膜厚は100nm程度であり、この高さは200nm程度である。この酸化シリコン膜スペーサ114aの底面はゲート酸化膜102を直接に覆い、この酸化シリコン膜スペーサ114aの（ゲート電極113aの側の）側面の一部（160nm程度の高さまで）は多結晶シリコン膜パターン103aの側面を直接に覆い、この酸化シリコン膜スペーサ114aの側面の残の部分（上端から40nm程度まで）と上端の一部（40nm程度の幅）とはチタンシリサイド膜108aaに覆われている。窒化シリコン膜スペーサ115aの幅および高さは、それぞれ80nm程度および300nm程度である。窒化シリコン膜スペーサ115aの底面は直接に上記酸化シリコン膜スペーサ114aに接触し、この窒化シリコン膜スペーサ115aの（ゲート電極113aの側の）側面の一部（100nm程度の高さまで）は直接に上記酸化シリコン膜スペーサ114aに接触し、この側面はゲート電極113aに直接に接触していない。窒化シリコン膜スペーサ115aの上端は、ゲート電極113aの上面の位置より、60nm程度高い位置にある。

【0033】N型拡散層106aの表面には、酸化シリコン膜スペーサ114aに自己整合的に、膜厚80nm程度のチタンシリサイド膜108abが設けられている。これらN型拡散層106aおよびチタンシリサイド膜108abから、ソース・ドレイン領域116aが構成されている。これらゲート酸化膜102、ゲート電極113a、酸化シリコン膜スペーサ114a、窒化シリコン膜スペーサ115aおよびソース・ドレイン領域116aからなる本実施例のMOSトランジスタは、層間絶縁膜110により覆われている。この層間絶縁膜110にはソース・ドレイン領域116a等に達するコンタクト孔が設けられ、これらコンタクト孔を介して金属配線111がソース・ドレイン領域116a等に接続されている。

【0034】上記第1の実施例の半導体装置では（製造方法についての詳細は後述するが）、チタンシリサイド膜108aa、108abが形成される前の段階では、多結晶シリコン膜パターンの膜厚は300nm程度であり、チタン膜の膜厚は100nm程度である。この段階では、酸化シリコン膜スペーサ114aの上端（高さ）はこの多結晶シリコン膜パターンの上面（膜厚）より100nm程度低くなっている。その結果、チャンネル長方向でこのチタン膜とこの多結晶シリコン膜とが接触する長さは550nm程度となり、シンーソリッドーフィル

ムス (Thin Solid Films) 1991年、第198巻、53頁～66頁の報告に基づく構造のMOSトランジスタと同様に、ゲート長 (350nm) に比べて十分に長くなっている。窒素雰囲気でのランプアニールは、650℃で30秒間行ない、さらに850℃で10秒間行なっている。このようにチャンネル長方向でのチタン膜と多結晶シリコン膜との接触する長さが0.5μm以上あることから、このランプアニールにより形成されるチタンシリサイド膜108aa、108abは凝集せずにC54構造となり、ほぼ15μΩ・cm程度の低い抵抗率のチタンシリサイド膜となる。

【0035】さらに、上記第1の実施例の半導体装置では、酸化シリコン膜スペーサ114aおよび窒化シリコン膜スペーサ115aからなる上述の構造の絶縁膜スペーサを有するため、この積層構造の絶縁膜スペーサの表面に沿った (ゲート電極113aの一部をなす) チタンシリサイド膜108aaと (ソース・ドレイン領域116aの一部をなす) チタンシリサイド膜108abとの間隔が、上記報告に基づくサリサイド構造のMOSトランジスタにおける絶縁膜スペーサの表面に沿ったゲート電極とソース・ドレイン領域との間隔より広くすることが原理的に可能になり、さらに、(ゲート電極の膜厚と絶縁膜スペーサの高さとが概ね等しい) 通常のサリサイド構造のMOSトランジスタにおける絶縁膜スペーサの表面に沿ったゲート電極とソース・ドレイン領域との間隔よりも広くすることが容易になる。それ故、本実施例の半導体装置は、(上記報告に基づくサリサイド構造のMOSトランジスタに対比しては勿論のことであり) 通常のサリサイド構造のMOSトランジスタに比べても、ブリッジング現象の抑制 (すなわち、ゲート電極とソース・ドレイン領域との間におけるリーク電流の低減、短絡の発生抑制) が容易になる。

【0036】なお、上記第1の実施例は、Nチャネル型のMOSトランジスタに関するものであるが、本実施例はPチャネル型のMOSトランジスタ、CMOSトランジスタさらにはBiCMOSトランジスタにも適用できる。Pチャネル型のMOSトランジスタの場合、ゲート電極の一部を構成する多結晶シリコン膜パターンの導電型は、目的に応じてPあるいはN型が採用される。また、上記第1の実施例では、第1の絶縁膜スペーサが酸化シリコン膜からなり、第2の絶縁膜スペーサが窒化シリコン膜からなっているが、これに限定されるものではなく、第1の絶縁膜スペーサが窒化シリコン膜からなり、第2の絶縁膜スペーサが酸化シリコン膜からなっているてもよい。

【0037】次に、上記第1の実施例による半導体装置の製造方法について説明する。

【0038】半導体装置の製造工程と模式的断面図である図2および図3と図1とを併せて参照すると、上記第1の実施例の半導体装置は、以下のように形成される。

【0039】まず、P型シリコン基板101表面の素子分離領域に、フィールド酸化膜 (図示せず) が形成される。このP型シリコン基板101表面の素子形成領域には、熱酸化法により、8nm程度の膜厚を有するゲート酸化膜102が形成される。全面に第1の膜厚である300nm程度の膜厚を有するN型の多結晶シリコン膜が形成された後、この多結晶シリコン膜がパターンニングされて、350nm程度の線幅 (ゲート長) を有する多結晶シリコンパターン103が形成される。次に、それぞれCVD法により、第2の膜厚である100nm程度の膜厚を有する酸化シリコン膜104aと第3の膜厚である80nm程度の膜厚を有する窒化シリコン膜105aとが順次全面に形成される [図2(a)]。

【0040】次に、トリフルオロメタン (CHF<sub>3</sub>) ガスおよび6弗化硫黄 (SF<sub>6</sub>) ガスをエッチングガスとした異方性エッチングにより、上記窒化シリコン膜105aがエッチバック (第1のエッチバック) され、窒化シリコン膜スペーサ115aが形成される。6弗化硫黄 (SF<sub>6</sub>) ガスを添加するのは、(酸化シリコン膜104aに対する) 窒化シリコン膜105aのエッチングの選択性を高めるためである。この窒化シリコン膜スペーサ115aの高さは、(多結晶シリコン膜パターン103の膜厚と概ね等しく) 300nm程度である [図2(b)]。

【0041】次に、L字型の酸化シリコン膜スペーサ114aの形成のために、例えばCHF<sub>3</sub> ガスと一酸化炭素 (CO) ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、酸化シリコン膜104aおよびゲート酸化膜102が選択的にエッチバック (第2のエッチバック) される。この場合のエッチングガスとしては、(上記CHF<sub>3</sub> の他に) C<sub>2</sub>F<sub>4</sub>、C<sub>3</sub>F<sub>6</sub>、C<sub>4</sub>F<sub>8</sub> 等のフルオロカーボン系のガスとCOガスとの混合ガスを使用することもできる。このエッチバックはオーバーギミに行なわれ、例えば、酸化シリコン膜スペーサ114aの上端が多結晶シリコン膜パターン103の上面より100nm程度低くなるまで行なわれ、この酸化シリコン膜スペーサ114aは所定の高さである200nm程度の高さを有することになる。このエッチバックにより、P型シリコン基板101の所要の部分の表面が露出される。続いて、これら多結晶シリコン膜パターン103、酸化シリコン膜スペーサ114aおよび窒化シリコン膜スペーサ115aをマスクにした砒素 (As) のイオン注入等により、例えば接合の深さが0.15μm程度のN型拡散層106aが形成される [図2(c)]。なお、多結晶シリコン膜パターン103が形成された後、低濃度の砒素もしくはリン (P) のイオン注入を行なう場合もある。さらになお、本実施例をCMOSトランジスタの形成に適用する場合には、砒素のイオン注入および熱押し込みを行なってNチャネル型のMOSトランジスタのソース・ドレイン領域を形成した後、

Pチャネル型のMOSトランジスタのソース・ドレイン領域の形成のための2弗化ボロン(BF<sub>2</sub>)のイオン注入を行なうことが好ましい。

【0042】次に、スパッタリングにより、平坦な部分で第4の膜厚である50nm程度の膜厚を有するチタン膜107aが全面に形成される。窒化シリコン膜スペーサ115aの(多結晶シリコン膜パターン103側とは逆の側の)側面におけるこのチタン膜107aの膜厚は25nm程度である。また、(酸化シリコン膜スペーサ114a直上における)窒化シリコン膜スペーサ115aと多結晶シリコン膜パターン103との空隙は、このチタン膜107aにより充填されている。多結晶シリコン膜パターン103上面直上でのチタン膜107aの上面は、窒化チタン膜スペーサ115aの上端の位置より50nm程度(= (酸化シリコン膜104aの膜厚100nm) - (チタン膜107aの膜厚50nm))低い位置にある。多結晶シリコン膜パターン103の幅方向(ゲート長方向であり、チャンネル長方向)においてこの多結晶シリコン膜パターン103とこのチタン膜107aとの接触する長さ(接触幅)は、550nm程度になる[図3(a)]。

【0043】次に、650℃で30秒間のランプアニールと850℃で10秒間のランプアニールとが窒素雰囲気中で順次行なわれる。この熱処理により、80nm程度の膜厚を有するチタンシリサイド膜108aa、108abと20nm程度の膜厚を有する窒化チタン膜109aとが形成され、多結晶シリコン膜パターン103が260nm程度の膜厚を有する多結晶シリコン膜パターン103aに変換され、チタン膜107aaが残置される。これにより、多結晶シリコン膜パターン103aおよびチタンシリサイド膜108aaからなるゲート電極113aと、N型拡散層106aおよびチタンシリサイド膜108abからなるソース・ドレイン領域116aとが形成される[図3(b)]。

【0044】多結晶シリコン膜パターン103とチタン膜107aとの接触幅が550nm程度あるため、上記熱処理により、C54構造のチタンシリサイド膜108aaが得られる。これには、酸化シリコン膜スペーサ114aの上端が多結晶シリコン膜パターン103の上面より低くなっていることが、大きく寄与している。この熱処理により、窒化シリコン膜スペーサ115aの表面にも、ある確率分布を有して局所的にチタンシリサイド膜が形成される。しかしながら、窒化シリコン膜スペーサ115aの上端が多結晶シリコン膜パターン103の上面より高いため、窒化シリコン膜スペーサ115a(および酸化シリコン膜スペーサ114a)の表面に沿ったチタンシリサイド膜108aaとチタンシリサイド膜108abとの実効的な間隔が広くなり、従来構造のMOSトランジスタよりブリッジング現象が抑制される。また、チタン膜107aの膜厚が酸化シリコン膜1

04aの膜厚より薄いことから窒化シリコン膜スペーサ115aの上端は多結晶シリコン膜パターン103直上のチタン膜107aの上面より高くなり、チタンシリサイド膜108aaとチタンシリサイド膜108abとを隔てる窒化シリコン膜スペーサ115a(および酸化シリコン膜スペーサ114a)の表面は、ゲート電極113a側の側面とソース・ドレイン領域116a側の側面との2つの側面からなることになる。これらの側面にそれぞれ別々に局所的に形成されるチタンシリサイド膜が接続される確率は、同一面内で局所的に形成されたチタンシリサイド膜が接続される確率より低くなる。この結果、本実施例では、単にチタンシリサイド膜108aaとチタンシリサイド膜108abとを隔てる間隔を広げる以上に、ブリッジング現象の抑制が可能になる。

【0045】なお、650℃のランプアニールを行なう理由は、次の点にある。850℃でのランプアニールをいきなり施すと、シリサイド化反応の反応速度が高いためブリッジング現象も活発になり、目的の達成が困難になる。それ故、まず(比較的)低温の熱処理によりシリサイド化反応を行ないC49構造のチタンシリサイド膜を形成し、高温の熱処理によりこのC49構造のチタンシリサイド膜を(相対的に)低い反応速度のもとでC54構造のチタンシリサイド膜に変換する。

【0046】次に、チタン膜107aaと窒化チタン膜109aとが、過酸化水素(H<sub>2</sub>O<sub>2</sub>)水(アンモニア(NH<sub>4</sub>OH))を加えることもある)により選択的にエッチング除去される。これにより、本実施例のMOSトランジスタが完成する[図3(c)]。続いて、例えばテオスBPSG膜の形成、機械的化学研磨(MCP)による表面の平坦化等により、層間絶縁膜110が形成される。ソース・ドレイン領域116a等に達するコンタクト孔が層間絶縁膜110に形成された後、例えばチタン膜と窒化チタン膜とをバリア膜としたアルミシリコン-銅合金膜からなる金属配線111が形成される[図1]。

【0047】なお、ゲート酸化膜102の膜厚、多結晶シリコン膜103パターンの膜厚および線幅、多結晶シリコン膜103aパターンの膜厚、酸化シリコン膜104aの膜厚、酸化シリコン膜スペーサ114aの高さおよび底面の幅、窒化シリコン膜105aの膜厚、N型拡散層106aの接合の深さ、チタン膜107aの膜厚、ランプアニールの温度および時間、チタンシリサイド膜108aaの膜厚、チタンシリサイド膜108abの膜厚および窒化チタン膜109aの膜厚等の数値に関しては、上記第1の実施例に記載された数値に限定されるものではない。

【0048】半導体装置の製造工程の模式的断面図である図4および図5を参照すると、本発明の第2の実施例は、上記第1の実施例とチタン膜の形成方法等が相違し、以下のようになっている。

【0049】まず、上記第1の実施例と同様の方法により、P型シリコン基板101の表面にゲート酸化膜102等が形成され、このゲート酸化膜102の表面上に多結晶シリコン膜パターン103が形成され、この多結晶シリコン膜パターンの側面に（第3の膜厚である80nm程度の膜厚を有する窒化シリコン膜からなる）窒化シリコン膜スペーサ115b、（第2の膜厚である100nm程度の膜厚を有する酸化シリコン膜からなり、所定の高さである250nm程度の高さを有する）酸化シリコン膜スペーサ114bが形成され、N型拡散層106bが形成される。

【0050】N型拡散層106b、酸化シリコン膜スペーサ114bおよび窒化シリコン膜スペーサ115bの寸法形状は、酸化シリコン膜スペーサ114bの高さを除いて、それぞれ上記第1の実施例のN型拡散層106a、酸化シリコン膜スペーサ114aおよび窒化シリコン膜スペーサ115aの寸法形状と同じである。窒化シリコン膜スペーサ115bの上端は（第1の膜厚である300nm程度の膜厚を有する）多結晶シリコン膜パターン103の上面の位置より100nm程度高い位置にあり、酸化シリコン膜スペーサ114bの上端は多結晶シリコン膜パターン103の上面の位置より100nm程度低い位置にある。

【0051】次に、コリメトリスパッタリングにより、平坦な部分において第4の膜厚である100nm程度の膜厚を有するチタン膜107bが形成される。チタン膜107bと多結晶シリコン膜パターン103との接触幅は、500nm程度になる。窒化シリコン膜スペーサ115bの（多結晶シリコン膜パターン103側とは逆の側の）側面におけるこのチタン膜107bの膜厚は高々10nm程度（平坦部での膜厚の1/10程度）である。このチタン膜107bの膜厚の設定に関する説明は、次工程で説明のなかで行なう〔図4（a）〕。

【0052】次に、350℃程度の温度、13Pa程度の圧力のもとで、窒素（N<sub>2</sub>）ガスとアンモニア（NH<sub>3</sub>）ガスとの混合ガスにより、チタン膜107bの表面がプラズマ窒化され、平坦な部分において第5の膜厚である20nm程度の膜厚を有する窒化チタン膜119bが形成される。またこのプラズマ窒化により、チタン膜117bが残置する〔図4（b）〕。第5の膜厚としては、窒化シリコン膜スペーサ115bの側面におけるチタン膜107bが完全に窒化されるだけの膜厚であることが好ましい。この条件のもとで、窒化チタン膜119bの膜厚が窒化シリコン膜スペーサ115bの上端と酸化シリコン膜スペーサ114bの上端との高さの差

（（第1の膜厚）+（第2の膜厚）-（所定の高さ））より薄いならば、多結晶シリコン膜パターン103を覆って残置されたチタン膜117bとN型拡散層106bの表面に残置されたチタン膜117bとは、この窒化チタン膜119bにより完全に分断される。第4の膜厚と

第5の膜厚（概ね、平坦な部分に残置したチタン膜117bの膜厚に等しい）との差は、第1の膜厚と上記所定の高さとの差より大きいことが好ましい。この場合には、多結晶シリコン膜パターン103の上面を覆って残置するチタン膜117bと、多結晶シリコン膜パターン103の（酸化シリコン膜スペーサ114aに直接に覆われていない）側面を覆って残置するチタン膜117bとが分断されない。

【0053】次に、650℃で30秒間のランプアニールと850℃で10秒間のランプアニールとがアルゴンもしくはヘリウム雰囲気中で順次行なわれる。この熱処理により、80nm程度の膜厚を有するチタンシリサイド膜108ba、108bbが形成され、多結晶シリコン膜パターン103が2-6.0nm程度の膜厚を有する多結晶シリコン膜パターン103bに変換され、チタンシリサイド膜108baと窒化チタン膜119bとの間にはチタン膜117baが残置され、チタンシリサイド膜108bbと窒化チタン膜119bとの間にはチタン膜117bbが残置される。これにより、多結晶シリコン膜パターン103bおよびチタンシリサイド膜108baからなるゲート電極113bと、N型拡散層106bおよびチタンシリサイド膜108bbからなるソース・ドレイン領域116bとが形成される〔図4（c）〕。ランプアニールをアルゴンもしくはヘリウム雰囲気で行なうのは、この熱処理による窒化チタン膜の形成を避けるためである。

【0054】ここで、上記ランプアニールも2段階に分けて行なわれる理由を述べておく。1つのMOSトランジスタでのゲート電極とソース・ドレイン領域との間のブリッジング現象のみに着目するならば、高温のランプアニールのみでよいのであるが、フィールド酸化膜を介して隣接する2つのソース・ドレイン領域の間のブリッジング現象を考慮するならば、上述のように2段階のランプアニールが好ましいことになる。

【0055】次に、上記第1の実施例と同様の方法により、窒化シリコン膜119bおよびチタン膜117b、117ba、117bbが除去され、本実施例によるMOSトランジスタが完成する〔図5（a）〕。さらに、層間絶縁膜110、コンタクト孔および金属配線111が形成される〔図5（b）〕。

【0056】上記第2の実施例は、上記第1の実施例の有する効果を有する。さらに本実施例は、コリメトリスパッタリングによるチタン膜の形成とプラズマ窒化による低温でのチタン膜表面への窒化チタン膜の形成とが行なわれるため、上記第1の実施例と異なり、同一のMOSトランジスタに所属するゲート電極とソース・ドレイン領域との間のブリッジング現象はほぼ完全に抑止される。

【0057】なお、多結晶シリコン膜スペーサ103の膜厚および線幅、多結晶シリコン膜スペーサ103bの

膜厚、酸化シリコン膜スペーサ 114b の膜厚および高さ、N 型拡散層の接合の深さ、チタン膜 107b の膜厚、プラズマ窒化の温度および圧力、ランプアニールの温度および時間、チタン膜 117d の膜厚、窒化チタン膜 119b の膜厚、チタンシリサイド膜 108ba の膜厚およびチタンシリサイド膜 108bb の膜厚等に関しては、上記第 2 の実施例に記載された数値に限定されるものではない。

【0058】なお、上記第 1 の実施例においてチタン膜が通常のスパッタリングの代りにコリメトルスパッタリングにより形成されるならば、上記第 2 の実施例ほどではないが、上記第 1 の実施例以上にブリッジング現象が抑制できる。

【0059】半導体装置の製造工程の模式的断面図である図 6 および図 7 を参照すると、本発明の第 3 の実施例は、次のように形成される。

【0060】まず、P 型シリコン基板 101 の表面に、フィールド酸化膜（図示せず）、ゲート酸化膜 102 が順次形成される。全面に第 1 の膜厚である 300 nm 程度の膜厚を有する N 型の多結晶シリコン膜と 200 nm 程度の膜厚を有する（第 1 の）酸化シリコン膜とが形成される。これらの酸化シリコン膜および多結晶シリコン膜がパターンニングされ、酸化シリコン膜 154 が載置された状態を有し、350 nm 程度の線幅（ゲート長）を有する多結晶シリコン膜パターン 103 が形成される。全面に、第 2 の膜厚である 100 nm 程度の膜厚を有する（第 2 の）酸化シリコン膜 104c が形成される〔図 6（a）〕。

【0061】次に、 $\text{CHF}_3$  ガスと  $\text{CO}$  ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、酸化シリコン膜 104c、酸化シリコン膜 154 およびゲート酸化膜 102 が選択的にエッチバック（第 1 のエッチバック）され、第 3 の膜厚である 100 nm 程度の膜厚を有する酸化シリコン膜 154c が残置され、400 nm 程度の高さを有する酸化シリコン膜スペーサ 114c が形成される。第 4 の膜厚である 80 nm 程度の膜厚を有する窒化シリコン膜 105c が全面に形成される〔図 6（b）〕。

【0062】次に、テトラフルオロメタン（ $\text{CF}_4$ ）ガスと水素（ $\text{H}_2$ ）ガスと窒素（ $\text{N}_2$ ）ガスとモノシラン（ $\text{SiH}_4$ ）ガスとの混合ガスをエッチングガスとした異方性エッチングにより、上記窒化シリコン膜 105c が選択的にエッチバック（第 2 のエッチバック）され、400 nm 程度の高さを有する窒化シリコン膜スペーサ 115c が形成される。本実施例では、上記第 1（第 2）の実施例と異なり、窒化シリコン膜スペーサ 115c の高さの設定は、多結晶シリコン膜パターン 103 の膜厚と酸化シリコン膜スペーサ 114c を構成する酸化シリコン膜 104c の膜厚との和に規定されずに行なえる。このエッチバックにおいてエッチングガスに  $\text{SiH}$

4 ガスを添加するのは、酸化シリコン膜に対してのみならず、シリコン基板に対しての窒化シリコン膜 105c のエッチングの選択性を確保するためである。なお、酸化シリコン膜スペーサ 114c の形成（図 6（b）参照）後に、少なくとも露出された P 型シリコン基板 101 の表面に、例えば熱酸化等により酸化シリコン膜を再び形成しておくならば、上記第 1 の実施例と同様に、 $\text{CHF}_3$  ガスおよび  $\text{SF}_6$  ガスをエッチングガスとした異方性エッチングにより窒化シリコン膜スペーサを形成することが可能になる。

【0063】次に、上記第 1 のエッチバックと同じ条件で第 3 のエッチバックが行なわれる。これにより、酸化シリコン膜 154c が除去され、多結晶シリコン膜スペーサ 103 の上面が露出される。同時に、酸化シリコン膜スペーサ 114c は、（所定の高さである）200 nm 程度の高さを有する酸化シリコン膜スペーサ 114c a になる。続いて、上記多結晶シリコン膜スペーサ 103、酸化シリコン膜スペーサ 114c a および窒化シリコン膜スペーサ 115c をマスクにした  $\text{As}$  のイオン注入等により、例えば接合の深さが 0.15  $\mu\text{m}$  程度の N 型拡散層 106c が形成される〔図 6（c）〕。この N 型拡散層 106c の形成は、窒化シリコン膜スペーサ 115c が形成された直後もしくは酸化シリコン膜スペーサ 114c が形成された直後に行なってもよい。本実施例では、窒化シリコン膜スペーサ 115c の底面が直接に P 型シリコン基板 101 の表面に接触しているため、ホットキャリアの注入等による素子特性の劣化を抑制するためには、この N 型拡散層 106c と窒化シリコン膜スペーサ 115c の底面とが完全にオーバーラップするように設定しておくことが好ましい。

【0064】なお、多結晶シリコン膜パターン 103 が形成された後、低濃度の砒素のイオン注入を行なう場合もある。さらになお、本実施例を CMOS トランジスタの形成に適用する場合には、酸化シリコン膜スペーサ 114c が形成された直後に N チャネル型の MOS トランジスタのソース・ドレイン領域を形成し、窒化シリコン膜スペーサ 115c もしくは酸化シリコン膜スペーサ 114c a が形成された直後に P チャネル型の MOS トランジスタのソース・ドレイン領域を形成することが好ましい。

【0065】次に、上記第 1 の実施例と同様に、平坦な部分で第 5 の膜厚である 50 nm 程度の膜厚を有するチタン膜 107c が、スパッタリングにより全面に形成される〔図 7（a）〕。

【0066】続いて、上記第 1 の実施例と同様に、650℃で 30 秒間のランプアニールと 850℃で 10 秒間のランプアニールとが窒素雰囲気中で順次行なわれ、80 nm 程度の膜厚を有するチタンシリサイド膜 108c a、108c b と 20 nm 程度の膜厚を有する窒化チタン膜 109c とが形成され、多結晶シリコン膜パターン

103が260nm程度の膜厚を有する多結晶シリコン膜パターン103cに変換され、チタン膜107caが残置される。これにより、多結晶シリコン膜パターン103cおよびチタンシリサイド膜108caからなるゲート電極113cと、N型拡散層106cおよびチタンシリサイド膜108cbからなるソース・ドレイン領域116cとが形成される〔図7(b)〕。

【0067】引き続き、上記第1、第2の実施例と同様に、窒化チタン膜109cおよびチタン膜107acが選択的にエッチング除去され、層間絶縁膜110、コンタクト孔および金属配線111が形成される〔図7(c)〕。

【0068】上記第3の実施例は、上記第1の実施例の有する効果を有する。また本実施例は、上述のように、CMOSトランジスタへの適用に対しては上記第1の実施例より優れている。なお、上記第2の実施例で採用されたチタン膜の形成、プラズマ窒化によるチタン膜表面への窒化チタン膜の形成およびアルゴンもしくはヘリウム雰囲気での熱処理を、本実施例に適用することも可能である。

【0069】なお、多結晶シリコン膜スペーサ103の線幅および膜厚、多結晶シリコン膜スペーサ103cの膜厚、酸化シリコン膜104cの膜厚、酸化シリコン膜154の膜厚、酸化シリコン膜154cの膜厚、窒化シリコン膜105cの膜厚、酸化シリコン膜スペーサ114cの高さ、N型拡散層106cの接合の深さ、チタン膜107cの膜厚、チタンシリサイド膜108caの膜厚、チタンシリサイド膜108cbの膜厚および窒化チタン膜の膜厚等に関しては、上記第3の実施例に記載した数値に限定されるものではない。

【0070】半導体装置の製造工程の模式的断面図である図8および図9を参照すると、本発明の第4の実施例は、上記第2の実施例の応用例であり、3層構造の絶縁膜スペーサを有したシリサイド構造のNチャネル型のMOSトランジスタであり、以下のように形成される。

【0071】まず、上記第1の実施例と同様の方法により、P型シリコン基板101の表面にゲート酸化膜102等が形成され、このゲート酸化膜102の表面上に第1の膜厚である300nm程度の膜厚と350nm程度の線幅（ゲート長）とを有する多結晶シリコン膜パターン103が形成される。次に、第2の膜厚である70nm程度の膜厚を有する（第1の）酸化シリコン膜104d、第3の膜厚である50nm程度の膜厚を有する窒化シリコン膜105dおよび第4の膜厚である60nm程度の膜厚を有する（第2の）酸化シリコン膜124dが、CVD法により全面に順次形成される〔図8(a)〕。

【0072】次に、CHF<sub>3</sub>ガスとCOガスとの混合ガスをエッチングガスとした異方性エッチングにより、窒化シリコン膜105dの上面が露出するまで酸化シリコ

ン膜124dが選択的にエッチバック（第1のエッチバック）され、酸化シリコン膜スペーサ134dが形成される。この酸化シリコン膜スペーサ134dの高さは、ほぼ多結晶シリコン膜パターン103の膜厚に等しい〔図8(b)〕。

【0073】次に、CHF<sub>3</sub>ガスおよびSF<sub>6</sub>ガスをエッチングガスとした異方性エッチングにより、酸化シリコン膜104dの上面が露出するまで窒化シリコン膜105dが選択的にエッチバック（第2のエッチバック）され、窒化シリコン膜スペーサ115dが形成される。この窒化シリコン膜スペーサ115dの高さも、ほぼ多結晶シリコン膜パターン103の膜厚に等しい。酸化シリコン膜スペーサ134dの上端は、窒化シリコン膜スペーサ115dの上端より、50nm程度高い位置にある〔図8(c)〕。

【0074】次に、再びCHF<sub>3</sub>ガスとCOガスとの混合ガスをエッチングガスとした異方性エッチングにより、酸化シリコン膜104d、酸化シリコン膜スペーサ134dおよびゲート酸化膜102が選択的にエッチバック（第3のエッチバック）される。このエッチバックにより、酸化シリコン膜104dと酸化シリコン膜スペーサ134dとはそれぞれ100nm程度の高さだけエッチングされ、所定の高さである270nm程度の高さを有する酸化シリコン膜スペーサ114dと200nm程度の高さを有する酸化シリコン膜スペーサ134daとにそれぞれ変換される。この段階で、酸化シリコン膜スペーサ134daの上端は、窒化シリコン膜スペーサ115dの上端より50nm程度低い位置にある。また、酸化シリコン膜スペーサ114dの上端は、窒化シリコン膜スペーサ115dの上端および多結晶シリコン膜パターン103の上面より、それぞれ100nm程度および30nm程度低い位置にある。続いて、例えば接合の深さが0.15μm程度のN型拡散層106dが形成される〔図9(a)〕。

【0075】次に、上記第2の実施例と同様の方法により、平坦な部分において第5の膜厚である80nm程度の膜厚を有するチタン膜（図示せず）が形成される。このチタン膜と多結晶シリコン膜パターン103との接触幅は、510nm程度である。続いて、上記第2の実施例と同様のプラズマ窒化により、上記チタン膜の表面に第6の膜厚である20nm程度の膜厚を有する窒化チタン膜119dが形成され、チタン膜117dが残置される。引き続き、上記第2の実施例と同様のランプアニールが施され、80nm程度の膜厚を有するチタンシリサイド膜108da、108dbが形成され、多結晶シリコン膜パターン103が260nm程度の膜厚を有する多結晶シリコン膜パターン103dに変換され、チタンシリサイド膜108daと窒化チタン膜119dとの間にはチタン膜117daが残置され、チタンシリサイド膜108dbと窒化チタン膜119dとの間にはチタ

ン膜 117 d b が残置される。これにより、多結晶シリコン膜パターン 103 d およびチタンシリサイド膜 108 d a からなるゲート電極 113 d と、N 型拡散層 106 d およびチタンシリサイド膜 108 d b からなるソース・ドレイン領域 116 d とが形成される〔図 9 (b)〕。

【0076】続いて、上記第 1 の実施例等の同様の方法により、窒化チタン膜 119 d、チタン膜 117 d、117 d a、117 d b が選択的にエッチング除去され、層間絶縁膜 110、コンタクト孔および金属配線 111 が形成される〔図 9 (c)〕。

【0077】上記第 4 の実施例は、上記第 2 の実施例の有する効果を有している。さらに本実施例は上記第 2 の実施例より製造工程が複雑にはなるが、上記ランプアニールを施す前段階で上記多結晶シリコン膜パターン 103 を覆うチタン膜 117 d と上記 N 型拡散層 106 d の表面を覆うチタン膜 117 d とを分断するための窒化チタン膜 119 d が、窒化シリコン膜スペーサ 115 d の側面と酸化シリコン膜スペーサ 134 d a の側面とに形成されるため、この分断が確実に行なわれる。その結果、本実施例によるブリッジング現象の抑止は、上記第 2 の実施例より確実に行なわれる。なお、本実施例において、チタン膜の形成およびこのチタン膜の熱処理を上記第 1 の実施例と同様に行なうならば、上記第 1 の実施例と同様の効果を有する半導体装置が得られる。

【0078】なお、多結晶シリコン膜パターン 103 の線幅および膜厚、多結晶シリコン膜パターン 103 d の膜厚、酸化シリコン膜 104 d の膜厚、窒化シリコン膜 105 d の膜厚、酸化シリコン膜 124 d の膜厚、酸化シリコン膜スペーサ 114 d の高さ、N 型拡散層 106 d の接合の深さ、成膜時点でのチタン膜の膜厚、チタンシリサイド膜 108 d a の膜厚、チタンシリサイド膜 108 d b の膜厚および窒化チタン膜 109 d の膜厚等に関しては、上記第 4 の実施例に記載した数値に限定されるものではない。

【0079】上記第 1 ～第 4 の実施例では、多結晶シリコン膜パターンとチタン膜との接触幅を多結晶シリコン膜パターンの線幅（ゲート長）より広くするために、少なくとも第 1 の絶縁膜スペーサと第 2 の絶縁膜スペーサとを含んでなる積層絶縁膜スペーサが用いられた。次に、1 層の絶縁膜スペーサのみからなる絶縁膜スペーサが用いられるぬもかわらず、多結晶シリコン膜パターンとチタン膜との接触幅が多結晶シリコン膜パターンの線幅（ゲート長）より広くなる実施例について説明する。

【0080】半導体装置の製造工程の模式的断面図である図 10、図 11 および図 12 を参照すると、本発明の第 5 の実施例は、次のように形成される。

【0081】まず、P 型シリコン基板 201 表面の素子分離領域に、フィールド酸化膜（図示せず）が形成される。この P 型シリコン基板 201 表面の素子形成領域に

は、熱酸化法により、8 nm 程度の膜厚を有するゲート酸化膜 202 が形成される。全面に 400 nm 程度の膜厚を有する N 型の多結晶シリコン膜が形成された後、この多結晶シリコン膜がパターニングされて、350 nm 程度の線幅（ゲート長）を有する多結晶シリコン膜パターン 203 a が形成される。次に、CVD 法により、第 1 の膜厚である 100 nm 程度の膜厚を有する（第 1 の）酸化シリコン膜 204 a が順次全面に形成される〔図 10 (a)〕。

【0082】次に、 $\text{CHF}_3$  ガスと CO ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、酸化シリコン膜 204 a およびゲート酸化膜 202 が選択的にエッチバック（第 1 のエッチバック）され、400 nm 程度の高さを有する酸化シリコン膜スペーサ 214 a が形成される。熱酸化が施されるにより、上記多結晶シリコン膜パターン 203 a は第 2 の膜厚である 390 nm 程度の膜厚を有する多結晶シリコン膜パターン 203 a a に変換され、この多結晶シリコン膜パターン 203 a a の表面には 20 nm 程度の膜厚を有する（第 2 の）酸化シリコン膜 244 a a が形成され、ゲート酸化膜 202 が除去された上記 P 型シリコン基板 201 の表面には 10 nm 程度の膜厚を有する（第 3 の）酸化シリコン膜 244 a b が形成される。全面に、フォトレジスト膜 251 a が塗布、形成される〔図 10 (b)〕。

【0083】このフォトレジスト膜 251 a を設ける目的が後工程の第 3 のエッチバックの際に上記酸化シリコン膜 244 a b をこのエッチバックから保護することにあることから、このフォトレジスト膜 251 a の上面の高さが場所によらず均一にできるならば、このフォトレジスト膜 251 a が酸化シリコン膜 244 a a の表面を覆っていないとしても良いこのになる。この場合には次工程の第 2 のエッチバックを省くことができる。しかしながら、このフォトレジスト膜 251 a の上面の高さが場所によらず均一にすることが困難なため、このフォトレジスト膜 251 a は酸化シリコン膜 244 a a の表面を覆っていることが好ましいことになる。

【0084】次に、 $\text{CF}_4$  ガスと  $\text{O}_2$  ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、少なくとも酸化シリコン膜スペーサ 214 a の上端が露出するまで上記フォトレジスト膜 251 a が選択的にエッチバック（第 2 のエッチバック）され、フォトレジスト膜 251 a a が残置される。続いて、 $\text{CHF}_3$  ガスと CO ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、多結晶シリコン膜パターン 203 a a の上面が完全に露出するまで酸化シリコン膜 244 a a および酸化シリコン膜スペーサ 214 a が選択的にエッチバック（第 3 のエッチバック）され、この酸化シリコン膜 244 a a が完全に除去され、酸化シリコン膜スペーサ 214 a は 380 nm 程度の高さを有する酸化

シリコン膜スペーサ214aaに変換される。なお、 $\text{CF}_4$  ガスと $\text{O}_2$  ガスと $\text{H}_2$  ガスとの混合ガスをエッチングガスとした異方性エッチングにより、フォトレジスト膜251aのエッチバックに引き続いて酸化シリコン膜244aaおよび酸化シリコン膜スペーサ214aのエッチバックを行なう（第2および第3のエッチバックを1回のエッチバックで済ませる）という方法も考えられるが、上述のように、フォトレジスト膜251aの上面の高さを場所によらず均一にすることが困難なため、この方法は好ましくない。

【0085】次に、（上記フォトレジスト膜251aaおよび酸化シリコン膜スペーサ214aaをマスクにして）臭化水素（ $\text{HBr}$ ）ガスをエッチングガスとした異方性エッチングにより、多結晶シリコン膜パターン203aaが選択的にエッチバック（第4のエッチバック）され、第3の膜厚である250nm程度の膜厚を有する多結晶シリコン膜パターン203abが残置される。酸化シリコン膜スペーサ214aaの上端は、この多結晶シリコン膜パターン203abの上面より130nm程度高い位置にある〔図10（c）〕。

【0086】次に、フォトレジスト膜251aaが例えば $\text{O}_2$  プラズマによるアッシングにより除去される。全面に第4の膜厚である80nm程度の膜厚を有する窒化シリコン膜（図示せず）が形成される。 $\text{CF}_4$  ガスと $\text{H}_2$  ガスと $\text{N}_2$  ガスと $\text{SiH}_4$  ガスとの混合ガスをエッチングガスとした異方性エッチングにより、上記窒化シリコン膜が選択的にエッチバック（第5のエッチバック）され、酸化シリコン膜スペーサ214aaの多結晶シリコン膜パターン203abの側の側面には130nm程度の高さを有する窒化シリコン膜スペーサ215aaが形成され、酸化シリコン膜スペーサ214aaの逆の側の側面には380nm程度の高さを有する窒化シリコン膜スペーサ215abが形成される〔図11（a）〕。

【0087】次に、多結晶シリコン膜パターン203ab、酸化シリコン膜スペーサ214aaおよび窒化シリコン膜スペーサ215ab等をマスクにしたAsのイオン注入等により、接合の深さが0.15 $\mu\text{m}$ 程度のN型拡散層206aが形成される。なお、N型拡散層206aの形成は、フォトレジスト膜251aaが除去された直後に行なうこともできる。例えば上記第4のエッチバックと同様の方法による第6のエッチバックが行なわれ、上記多結晶シリコン膜パターン203abは上面の中央部にゲート幅の方向（チャンネル幅の方向）に平行で、かつ所望の深さである50nm程度の深さの凹部を有する多結晶シリコン膜パターン203acに変換される〔図11（b）〕。

【0088】なお、多結晶シリコン膜203acに変換するための第6のエッチバックは、異方性エッチングではなく等方性エッチングでもよい。さらになお、第5のエッチバックが $\text{CHF}_3$  ガスおよび $\text{SF}_6$  ガスをエッチ

ングガスとした異方性エッチングにより行なわれるならば、この第6のエッチバックが省略できる。この場合に形成される2種類の窒化シリコン膜スペーサの高さは、それぞれ窒化シリコン膜スペーサ215aa、215abの高さより低くなる。いずれの場合においても、酸化シリコン膜244abにより、これらのエッチバックの際にN型拡散層206a（もしくはP型シリコン基板101）の表面が保護される。

【0089】次に、第5のエッチバックと同様の方法である第7のエッチバックにより、窒化シリコン膜スペーサ215aa、215abが除去される。なお、この段階では酸化シリコン膜244abが残置するため、（本実施例をPチャネル型のMOSトランジスタに適用した場合でも）多結晶シリコン膜パターンがN型であるならば、熱リン酸により窒化シリコン膜スペーサ215aa、215abの除去を行なえる。続いて、（上記第3のエッチバックと同様に） $\text{CHF}_3$  ガスと $\text{CO}$  ガスとの混合ガスをエッチングガスとした異方性エッチングが行なわれ、酸化シリコン膜スペーサ214aaおよび酸化シリコン膜244abが選択的にエッチバック（第8のエッチバック）される。これにより、酸化シリコン膜スペーサ214aaは所定の高さである370nm程度の高さを有する酸化シリコン膜スペーサ214abに変換され、酸化シリコン膜244abは除去される〔図11（c）〕。なお、上記多結晶シリコン膜パターン203acの凹部の所望の深さは、酸化シリコン膜スペーサ214abの上端の高さと多結晶シリコン膜パターン203ab（多結晶シリコン膜パターン203ac）の上面の高さとの差より小さいことが好ましい。

【0090】次に、上記第1の実施例と同様の方法により、平坦な部分において第5の膜厚である50nm程度の膜厚を有するチタン膜207aが全面に形成される。チタン膜207aと多結晶シリコン膜パターン203acとの接触幅は、550nm程度である。（チタン膜207aの膜厚である）第5の膜厚は、（酸化シリコン膜スペーサ214abの上端の高さである）所定の高さと（多結晶シリコン膜パターン203ab（多結晶シリコン膜パターン203ac）の上面の高さである）第3の膜厚との差より薄いことが好ましい。一方、第5の膜厚と上記凹部の所望の深さとの間の好ましい関係は、一義的に決定されるものではなく、チタン膜207aのステップカバリッジおよびこの凹部の幅等により決定される〔図12（a）〕。

【0091】続いて、上記第1の実施例と同様に、650℃で30秒間のランプアニールと850℃で10秒間のランプアニールとが窒素雰囲気中で順次行なわれる。この熱処理により、80nm程度の膜厚を有するチタンシリサイド膜208aa、208abと20nm程度の膜厚を有する窒化チタン膜209aとが形成され、多結晶シリコン膜パターン203acは厚い部分で210nm

程度の膜厚を有する多結晶シリコン膜パターン 203 a d に変換され、チタン膜 207 a a が残置される。これにより、多結晶シリコン膜パターン 203 a d およびチタンシリサイド膜 208 a a からなるゲート電極 213 a と、N 型拡散層 206 a およびチタンシリサイド膜 208 a b からなるソース・ドレイン領域 216 a とが形成される〔図 12 (b)〕。

【0092】次に、上記第 1 の実施例と同様に、チタン膜 207 a a と窒化チタン膜 209 a とが、 $H_2$   $O_2$  水 ( $NH_4$  OH を加えることもある) により選択的にエッチング除去される。これにより、本実施例の MOS トランジスタが完成する。続いて、例えばテオス BPSG 膜の形成、機械的化学研磨 (MCP) により表面の平坦化等により、層間絶縁膜 210 が形成される。ソース・ドレイン領域 216 a 等に達するコンタクト孔が層間絶縁膜 210 に形成された後、例えばチタン膜と窒化チタン膜とをバリア膜としたアルミ-シリコン-銅合金膜からなる金属配線 211 が形成される〔図 12 (c)〕。

【0093】上記第 5 の実施例は、上記第 1 の実施例の有する効果を有する。また本実施例によれば、酸化シリコン膜スペーサ 214 a b の上端と多結晶シリコン膜パターン 203 a b (多結晶シリコン膜パターン 203 a c) の上面との高さの差に対しては、上記第 1、第 2 および第 4 の実施例 (多結晶シリコン膜パターンに直接に接触する酸化シリコン膜スペーサの膜厚に依存する) と異なり、設定の自由度が高くなるという利点がある。さらに、本実施例は、CMOS トランジスタへの適用に対しては上記第 3 の実施例と同様の効果を有する。さらにまた、本実施例は、上記第 1 ~ 第 4 の実施例と異なり絶縁膜スペーサが酸化シリコン膜スペーサのみから構成されているため、ホットキャリアの注入等により素子特性の劣化に関しては、上記第 1 ~ 第 4 の実施例より優れている。

【0094】なお、ゲート酸化膜 202 の膜厚、多結晶シリコン膜パターン 203 a の線幅および膜厚、多結晶シリコン膜パターン 203 a a の膜厚、多結晶シリコン膜パターン 203 a b の膜厚、酸化シリコン膜 204 a の膜厚、酸化シリコン膜 244 a a の膜厚、酸化シリコン膜 244 a b の膜厚、酸化シリコン膜スペーサ 214 a b の高さ、窒化シリコン膜スペーサ 215 a a の膜厚、窒化シリコン膜スペーサ 215 a b の膜厚、多結晶シリコン膜パターン 203 a c の凹部の深さ、N 型拡散層 206 a の接合の深さ、チタン膜 207 a の膜厚、ランブアニールの温度および時間、チタンシリサイド膜 208 a a の膜厚、チタンシリサイド膜 208 a b の膜厚および窒化チタン膜 209 a の膜厚等に関しては、上記第 5 と実施例に記載した数値に限定されるものではない。

【0095】半導体装置の製造工程の模式的断面図である図 13、図 14 および図 15 を参照すると、本発明の

第 6 の実施例は、上記第 5 の実施例とチタン膜の形成方法等が相違し、以下のようにになっている。

【0096】まず、上記第 5 の実施例と同様の方法により、P 型シリコン基板 201 の表面にゲート酸化膜 202 等が形成される。このゲート酸化膜 202 の表面に、350 nm 程度の線幅 (ゲート長) と 400 nm 程度の膜を有する多結晶シリコン膜 (図示せず) が形成される。全面に、第 1 の膜厚である 180 nm 程度の膜厚を有する (第 1 の) 酸化シリコン膜 (図示せず) が形成され、この酸化シリコン膜とゲート酸化膜 202 とがエッチバック (第 1 のエッチバック) され、400 nm 程度の高さを有する酸化シリコン膜スペーサ 214 b が形成される。さらに熱酸化が施されることにより、上記多結晶シリコン膜パターンは第 2 の膜厚である 390 nm の膜厚を有する多結晶シリコン膜パターン 203 b a に変換され、この多結晶シリコン膜パターン 203 b a の表面には 20 nm 程度を膜厚を有する (第 2 の) 酸化シリコン膜 244 b a が形成され、ゲート酸化膜 202 が除去された上記 P 型シリコン基板 201 の表面には 10 nm 程度の膜厚を有する (第 3 の) 酸化シリコン膜 244 a b が形成される。多結晶シリコン膜パターン 203 b a および酸化シリコン膜スペーサ 214 b をマスクにした As のイオン注入等が行なわれ、P 型シリコン基板 201 の表面に 0.15  $\mu$ m 程度の接合の深さを有する N 型拡散層 206 b が形成される〔図 13 (a)〕。

【0097】次に、上記第 5 の実施例と同様の方法により、全面にフォトレジスト膜 (図示せず) が塗布、形成され、このフォトレジスト膜がエッチバック (第 2 のエッチバック) され、フォトレジスト膜 251 b a が残置する。続いて、酸化シリコン膜 244 b a および酸化シリコン膜スペーサ 214 b が選択的にエッチバック (第 3 のエッチバック) され、多結晶シリコン膜パターン 203 b a の上面が露出され、380 nm 程度の高さを有する酸化シリコン膜スペーサ 214 b a が残置される。さらに、多結晶シリコン膜パターン 203 b a が選択的にエッチバック (第 4 のエッチバック) され、第 3 の膜厚である 250 nm 程度の膜厚を有する多結晶シリコン膜パターン 203 b b が残置される。酸化シリコン膜スペーサ 214 b a の上端は、この多結晶シリコン膜パターン 203 b b の上面より 130 nm 程度高い位置にある〔図 13 (b)〕。

【0098】次に、上記第 5 の実施例と同様の方法により、フォトレジスト膜 251 b a が  $O_2$  プラズマによるアッシングにより除去され、全面に第 4 の膜厚である 50 nm 程度の膜厚を有する窒化シリコン膜 (図示せず) が形成され、この窒化シリコン膜が選択的にエッチバック (第 5 のエッチバック) され、酸化シリコン膜スペーサ 214 b a の多結晶シリコン膜パターン 203 b b の側の側面には 130 nm 程度の高さを有する窒化シリコン膜スペーサ 215 b a が形成され、酸化シリコン膜ス

ペーサ 214ba の逆の側の側面には 380nm 程度の高さを有する窒化シリコン膜スペーサ 215bb が形成される。さらに、酸化シリコン膜スペーサ 214ba, 酸化シリコン膜 244bb および窒化シリコン膜スペーサ 215ba, 215bb をマスクにして上記多結晶シリコン膜パターン 203bb が選択的にエッチバック (第 6 のエッチバック) される。この第 6 のエッチバックにより、この多結晶シリコン膜パターン 203bb は、上面の中央部にゲート幅の方向 (チャネル幅の方向) に平行で、かつ所望の深さである 30nm 程度の深さの凹部を有する多結晶シリコン膜パターン 203bc に変換される [図 13 (c)]。

【0099】次に、上記第 5 の実施例と同様に、第 7 のエッチバックにより窒化シリコン膜スペーサ 215ba, 215bb が除去される。なお本実施例においても、この段階では酸化シリコン膜 244bb が残置するため、(本実施例を P チャネル型の MOS トランジスタに適用した場合でも) 多結晶シリコン膜パターンが N 型であるならば、熱燐酸により窒化シリコン膜スペーサ 215ba, 215bb の除去を行なえる。続いて、酸化シリコン膜スペーサ 214ba および酸化シリコン膜 244ba が選択的にエッチバック (第 8 のエッチバック) される。これにより、酸化シリコン膜スペーサ 214ba は所定の高さである 370nm 程度の高さを有する酸化シリコン膜スペーサ 214bb に変換され、酸化シリコン膜 244bb は除去される。次に、上記第 2 の実施例と同様に、コリメトリスパッタリングにより、平坦な部分において第 5 の膜厚である 70nm 程度の膜厚を有するチタン膜 207b が形成される。チタン膜 207b と多結晶シリコン膜パターン 203bc との接触幅は、520nm 程度になる。酸化シリコン膜スペーサ 214bb の側面におけるこのチタン膜 207b の膜厚は高々 7nm 程度 (平坦部での膜厚の 1/10 程度) である。このチタン膜 207b の膜厚 (第 5 の膜厚) は、酸化シリコン膜スペーサ 214bb の上端と多結晶シリコン膜パターン 203bb (多結晶シリコン膜パターン 203bc) の上面との高さの差 (= 所定の高さ - 第 3 の膜厚) より薄いことが好ましい [図 14 (a)]。

【0100】次に、上記第 2 の実施例と同様に、350℃程度の温度、13Pa 程度の圧力のもとで、N<sub>2</sub> ガスと NH<sub>3</sub> ガスとの混合ガスにより、チタン膜 207b の表面がプラズマ窒化され、平坦な部分において第 6 の膜厚である 20nm 程度の膜厚を有する窒化チタン膜 219b が形成される。またこのプラズマ窒化により、チタン膜 217b が残置する [図 14 (b)]。このチタン膜 217b による多結晶シリコン膜パターン 203bc の表面の連続的な被覆性という要請から、上記チタン膜 207b の膜厚 (第 5 の膜厚) は、多結晶シリコン膜パターン 203bc の上記凹部の所望の深さと窒化チタン膜 219b の膜厚 (第 6 の膜厚) との和より厚いことが

好ましい。

【0101】次に、上記第 2 の実施例と同様に、650℃で 30 秒間のランプアニールと 850℃で 10 秒間のランプアニールとがアルゴンもしくはヘリウム雰囲気ですら行なわれる。この熱処理により、80nm 程度の膜厚を有するチタンシリサイド膜 208ba, 208bb が形成され、多結晶シリコン膜パターン 203bc が 210nm 程度の膜厚を有する多結晶シリコン膜パターン 203bd に変換され、チタンシリサイド膜 208ba と窒化チタン膜 219b との間にはチタン膜 217ba が残置され、チタンシリサイド膜 208bb と窒化チタン膜 219b との間にはチタン膜 217bb が残置される。これにより、多結晶シリコン膜パターン 203bd およびチタンシリサイド膜 208ba からなるゲート電極 213b と、N 型拡散層 206b およびチタンシリサイド膜 208bb からなるソース・ドレイン領域 216b とが形成される [図 14 (c)]。続いて、上記第 5 の実施例等と同様の方法により、層間絶縁膜 210, コンタクト孔および金属配線 211 が形成される [図 15]。

【0102】上記第 6 の実施例は、上記第 5 の実施例の有する効果を有する。さらに、本実施例は、上記第 2 の実施例の有する効果を有する。

【0103】なお、多結晶シリコン膜パターン 203ba の線幅および膜厚、多結晶シリコン膜パターン 203bb の膜厚、酸化シリコン膜スペーサ 214b の膜厚、酸化シリコン膜 244ba の膜厚、酸化シリコン膜 244bb の膜厚、酸化シリコン膜スペーサ 214bb の高さ、窒化シリコン膜スペーサ 215ba の膜厚、窒化シリコン膜スペーサ 215bb の膜厚、N 型拡散層 206b の接合の深さ、多結晶シリコン膜パターン 203bc の凹部の深さ、チタン膜 207b の膜厚、プラズマ窒化の温度および圧力、ランプアニールの温度および時間、チタンシリサイド膜 208ba の膜厚、チタンシリサイド膜 208bb の膜厚および窒化チタン膜 219b の膜厚等に関しては、上記第 6 と実施例に記載した数値に限定されるものではない。

【0104】

【発明の効果】以上説明したように本発明の半導体装置は、シリコン基板、ゲート絶縁膜、多結晶シリコン膜パターンと第 1 のチタンシリサイド膜とが積層されたゲート電極、第 2 のチタンシリサイド膜と拡散層とからなるソース・ドレイン領域およびゲート電極の側面に設けられた絶縁膜スペーサを有するシリサイド構造の MOS トランジスタであり、絶縁膜スペーサの上端がゲート電極の上面より高い位置にあることと、ゲート電極における多結晶シリコン膜パターンと第 1 のチタンシリサイド膜と接触幅 (換言すれば、ゲート電極が形成される前段階における多結晶シリコン膜パターンとチタン膜との接触

幅) がゲート長より広いことを特徴としている。これら構造は、絶縁膜スペーサが例えば第 1 の絶縁膜スペーサおよび第 2 の絶縁膜スペーサからなる積層構造をなし、ゲート電極の側面に直接に接触する第 1 の絶縁膜スペーサの上端をゲート電極の上面より低くするか、もしくは、多結晶シリコン膜パターンの中央部にゲート幅方向に平行に凹部を設けることにより達せられる。

【0105】上記構造上の特徴から、ゲート電極をなす第 1 のチタンシリサイド膜の形成のためのチタン膜をシリサイド化するに際して、低抵抗相である C 5 4 構造の第 1 のチタンシリサイド膜を得ることが容易になり、ゲート電極の抵抗率の上昇が容易に抑制できる。また上記構造上の特徴から、ゲート電極をなす第 1 のチタンシリサイド膜とソース・ドレイン領域を成す第 2 のチタンシリサイド膜とを隔てる距離が、上記絶縁膜スペーサの存在により、従来の半導体装置より長くすることが容易になる。その結果、ゲート電極とソース・ドレイン領域との間にリーク電流、短絡等を増大させるブリッジング現象を抑制することが可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の模式的断面図である。

【図 2】上記第 1 の実施例の製造工程の模式的断面図である。

【図 3】上記第 1 の実施例の製造工程の模式的断面図である。

【図 4】本発明の第 2 の実施例の製造工程の模式的断面図である。

【図 5】上記第 2 の実施例の製造工程の模式的断面図である。

【図 6】本発明の第 3 の実施例の製造工程の模式的断面図である。

【図 7】上記第 3 の実施例の製造工程の模式的断面図である。

【図 8】本発明の第 4 の実施例の製造工程の模式的断面図である。

【図 9】上記第 4 の実施例の製造工程の模式的断面図である。

【図 10】本発明の第 5 の実施例の製造工程の模式的断面図である。

【図 11】上記第 5 の実施例の製造工程の模式的断面図である。

【図 12】上記第 5 の実施例の製造工程の模式的断面図である。

【図 13】本発明の第 6 の実施例の製造工程の模式的断面図である。

【図 14】上記第 6 の実施例の製造工程の模式的断面図である。

【図 15】上記第 6 の実施例の製造工程の模式的断面図である。

【図 16】従来の半導体装置の製造工程の模式的断面図である。

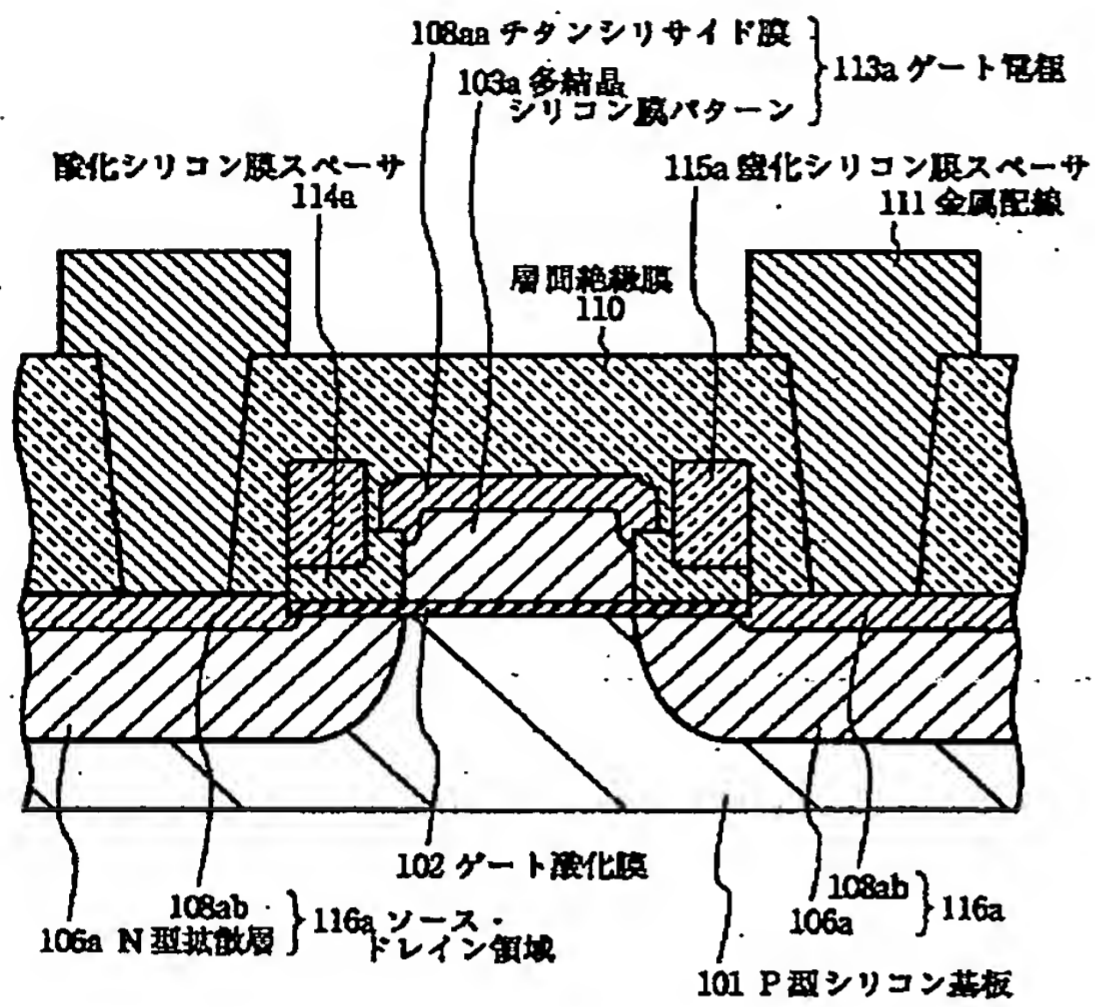
【図 17】従来の半導体装置の製造工程の模式的断面図である。

【図 18】従来の半導体装置の問題点を説明するための模式的断面図である。

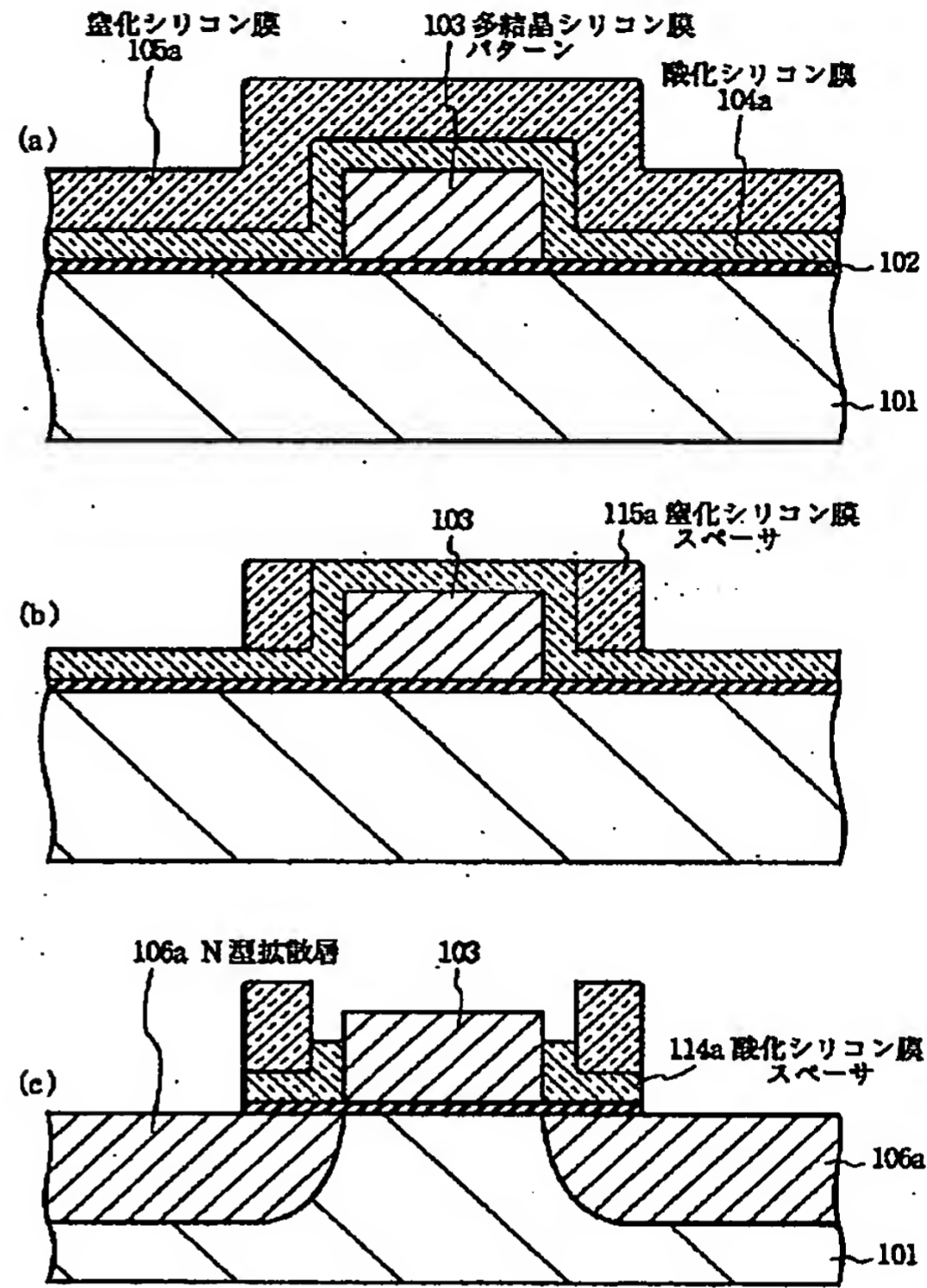
【符号の説明】

- |  |              |
|--|--------------|
| 101, 201, 301  | P型シリコン基板     |
| 102, 202, 302  | ゲート酸化膜       |
| 103, 103a~103d, 203a, 202aa, 203ab, 203ac, 203ba, 203bb, 203bc, 303, 303a  | 多結晶シリコン膜パターン |
| 104a, 104c, 104d, 124d, 154, 154c, 204a, 244aa, 244ab, 244ba, 244bb, 304   | 酸化シリコン膜      |
| 105a, 105c, 105d   | 窒化シリコン膜      |
| 106a~106d, 206a, 206b, 306   | N型拡散層        |
| 107a, 107aa, 107b, 107c, 107ca, 107d, 117b, 117ba, 117bb, 117d, 117da, 117db, 207a, 207aa, 207b, 217b, 217ba, 217bb, 307, 307a | チタン膜         |
| 108aa, 108ab, 108ba, 108bb, 108ca, 108bc, 108da, 108db, 208aa, 208ab, 208ba, 208bb, 308a, 308b, 308c                           | チタンシリサイド膜    |
| 109a, 109c, 119b, 119d, 209a, 219b, 309  | 窒化チタン膜       |
| 110  | 層間絶縁膜        |
| 111  | 金属配線         |
| 113a~113d, 213a, 213b, 313   | ゲート電極        |
| 114a, 114b, 114c, 114ca, 114d, 134d, 214a, 214aa, 214ab, 214b, 214ba, 214bb, 314   | 酸化シリコン膜スペーサ  |
| 115a~115d, 215aa, 215ab, 215ba, 215bb  | 窒化シリコン膜スペーサ  |
| 116a~116d, 216a, 216b, 316   | ソース・ドレイン領域   |
| 251a, 251aa, 251ba   | フォトリジスト膜     |

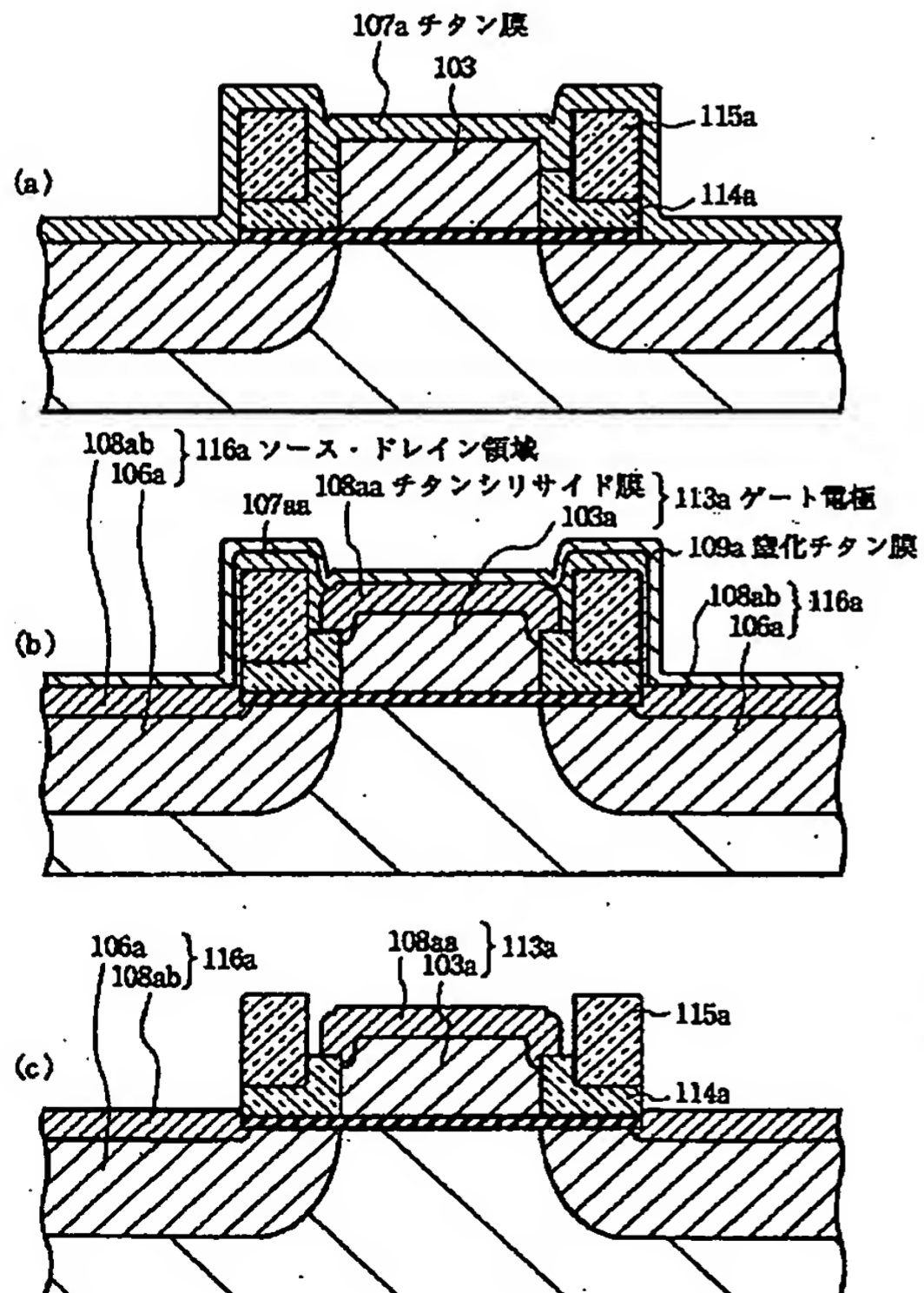
【図 1】



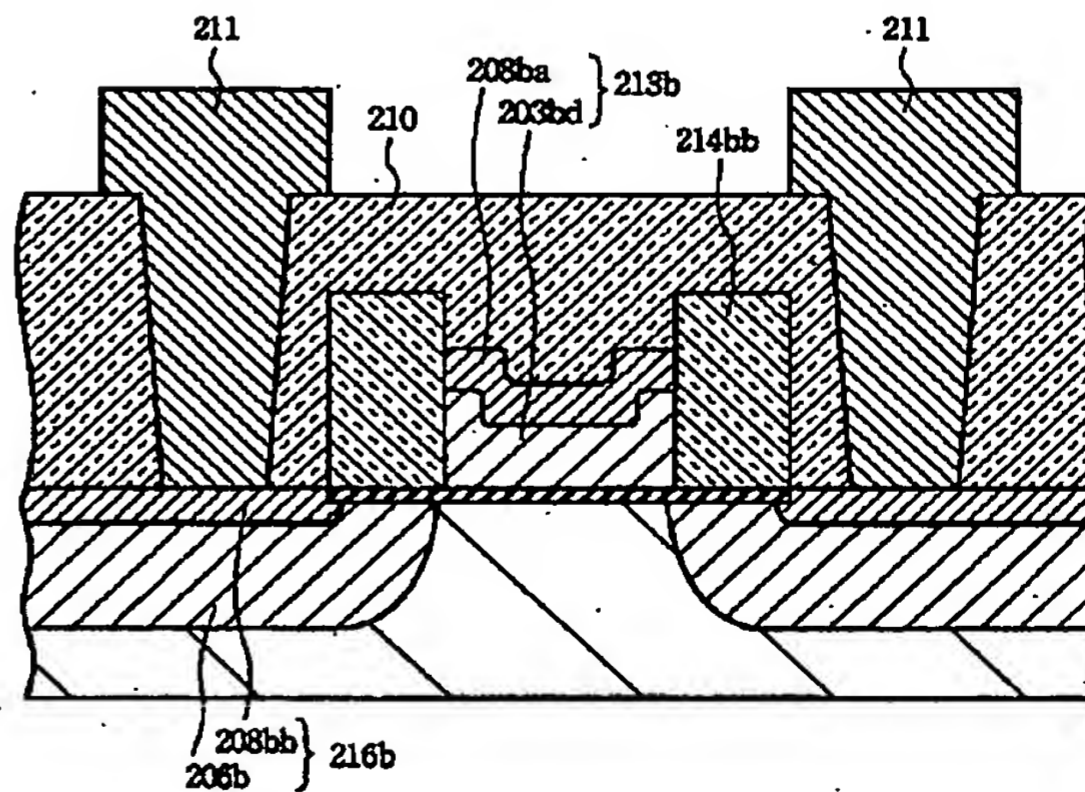
【図 2】



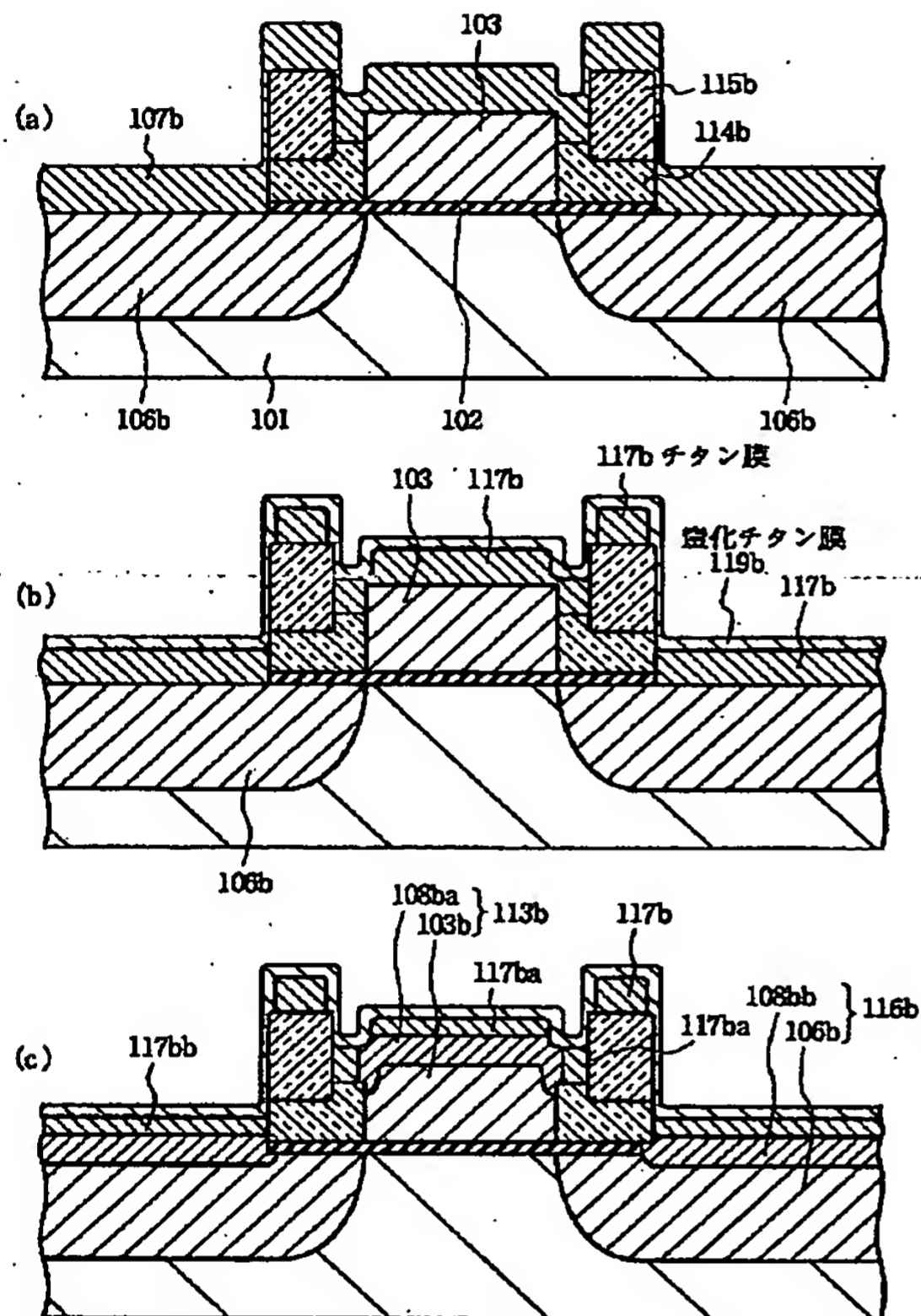
【図 3】



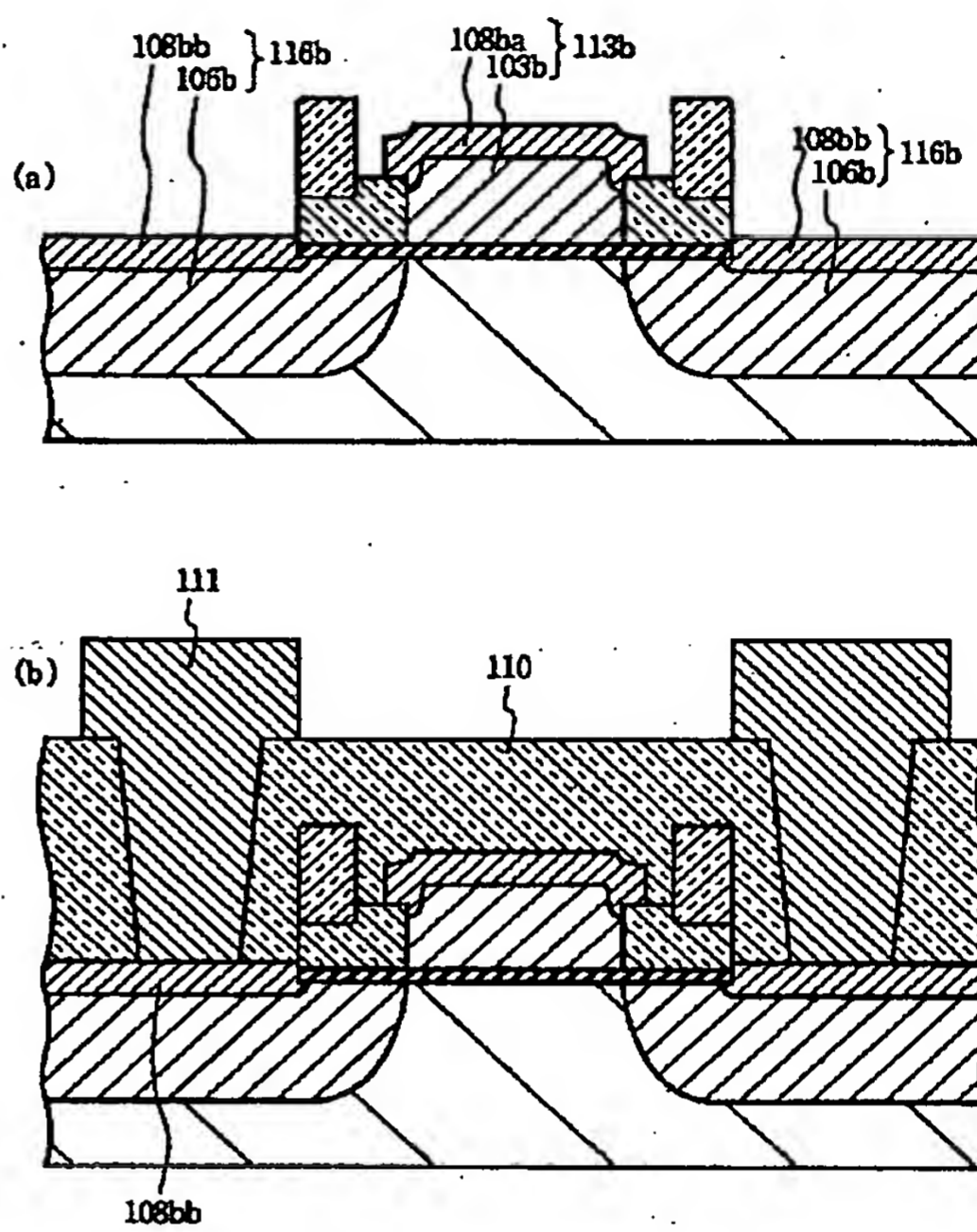
【図 15】



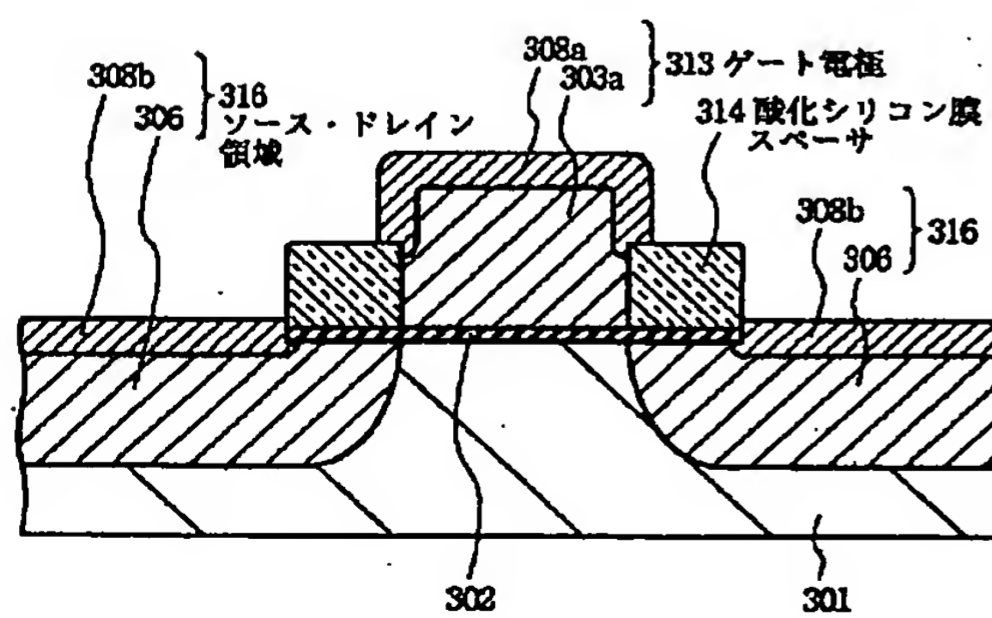
【図 4】



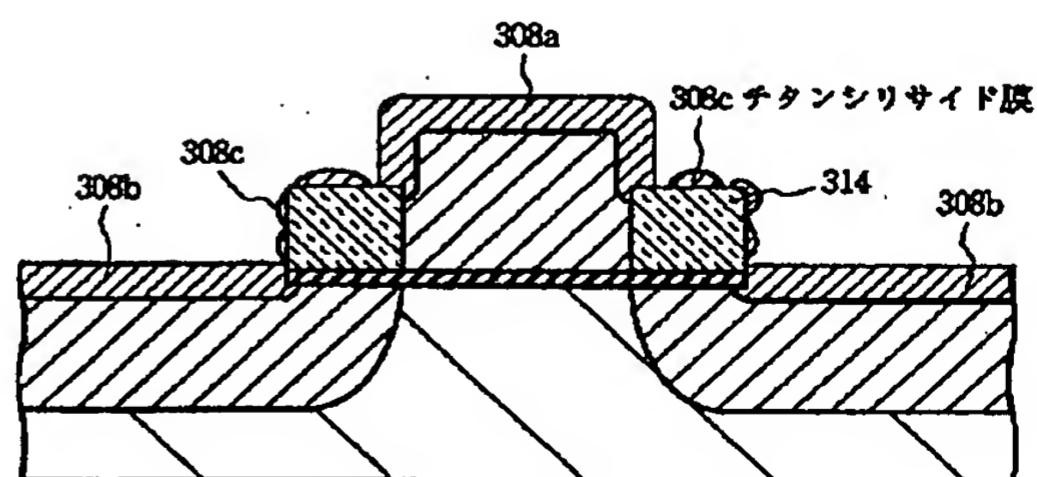
【図 5】



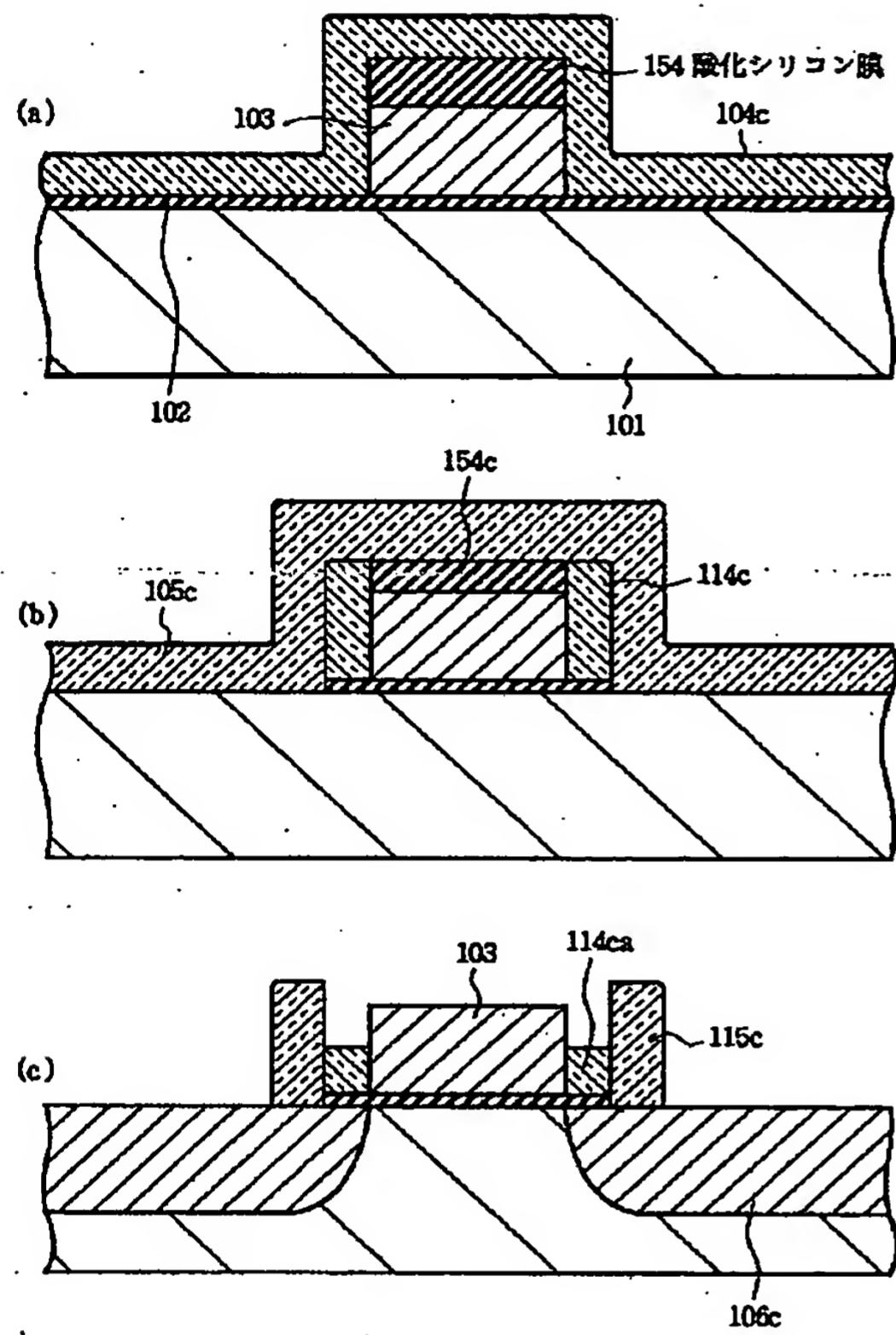
【図 17】



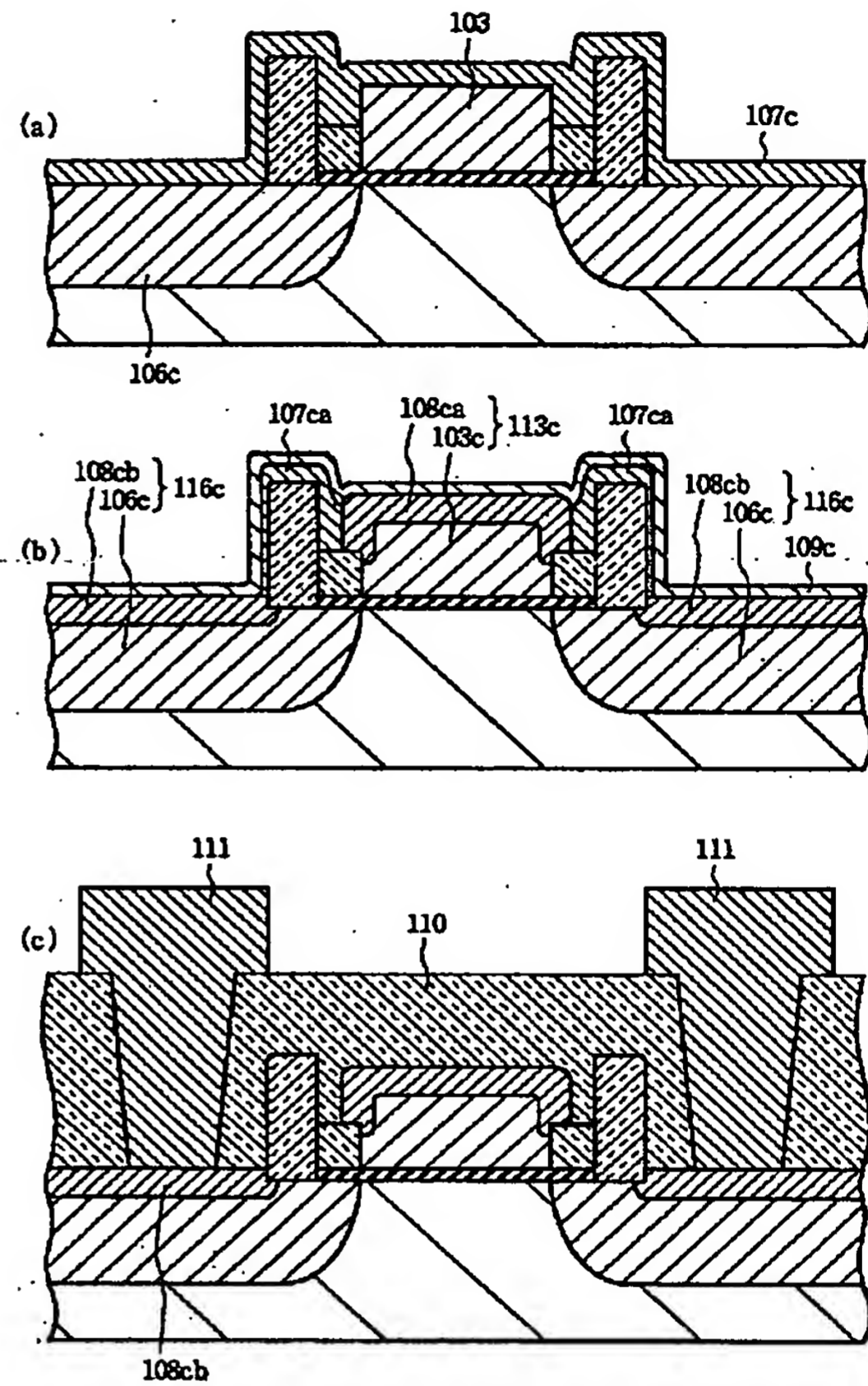
【図 18】



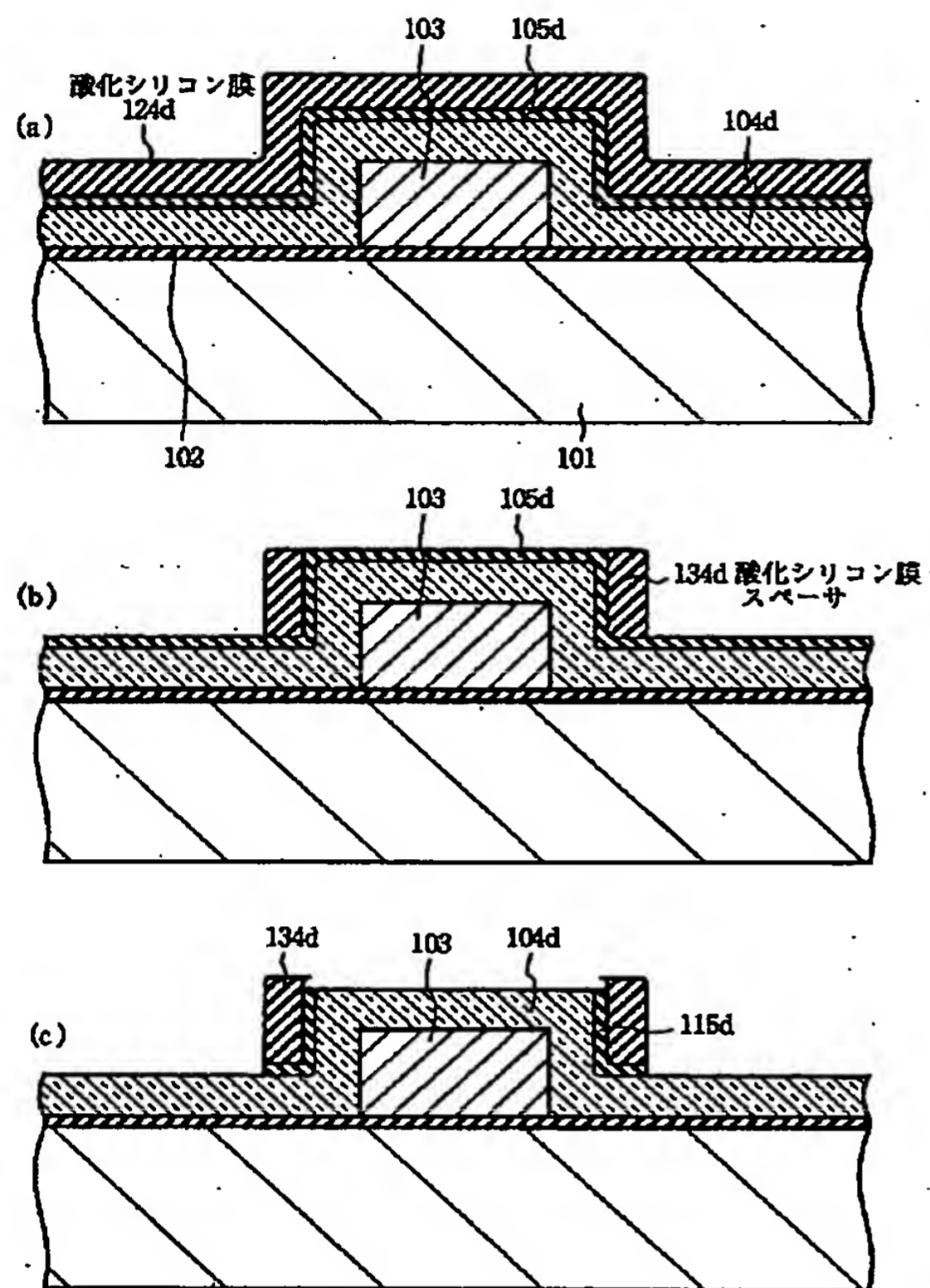
【図 6】



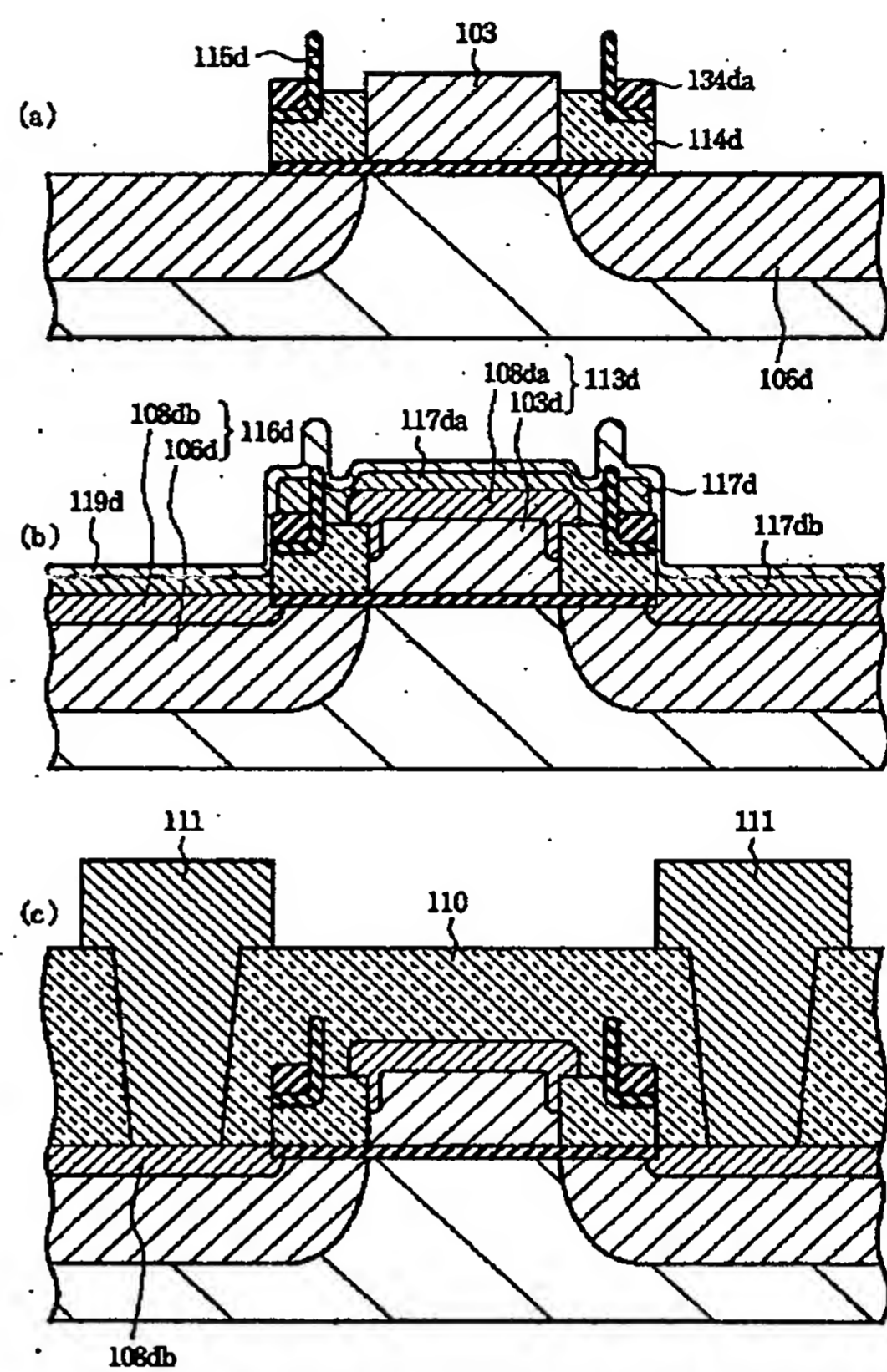
【図 7】



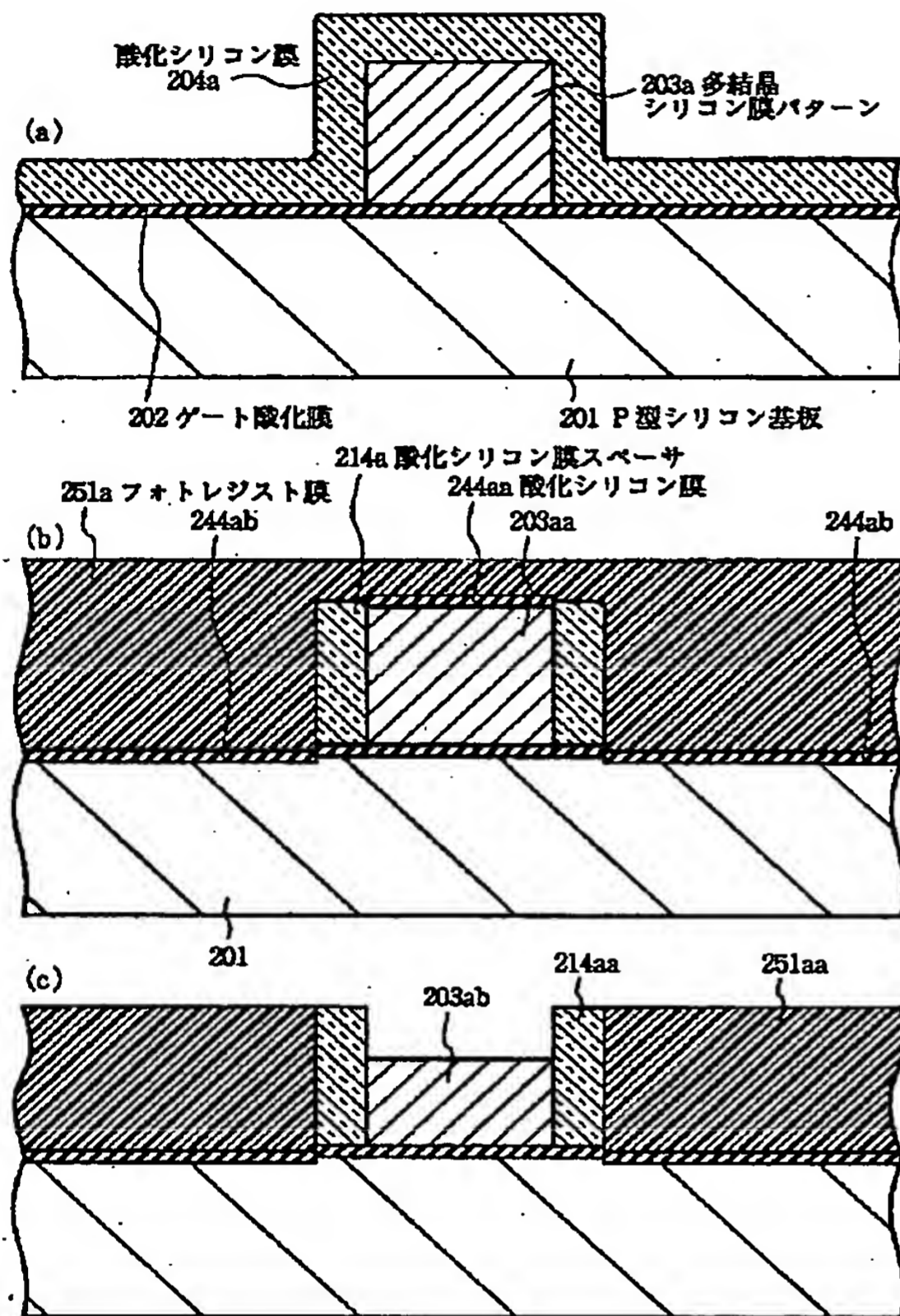
【図8】



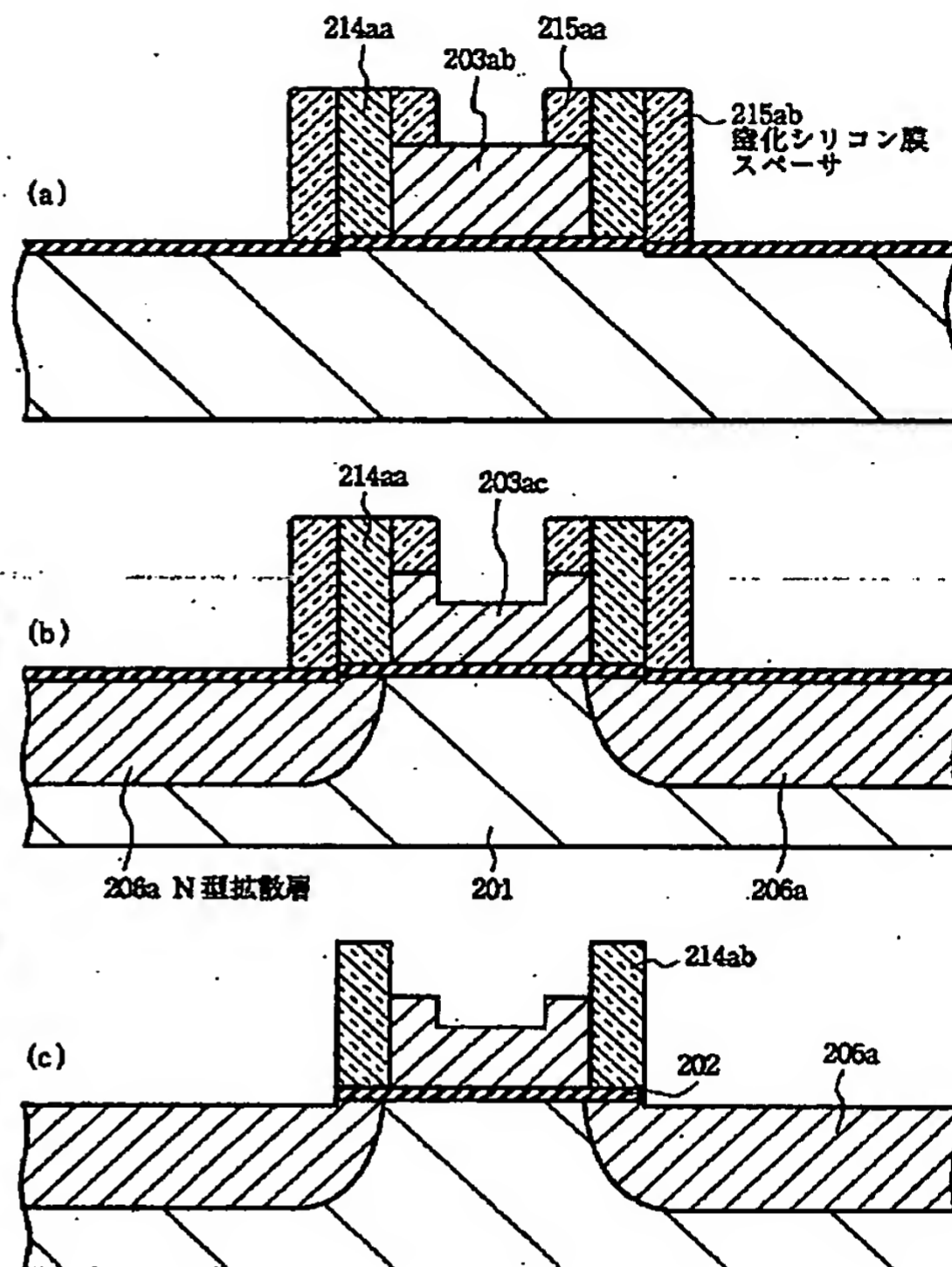
【図9】



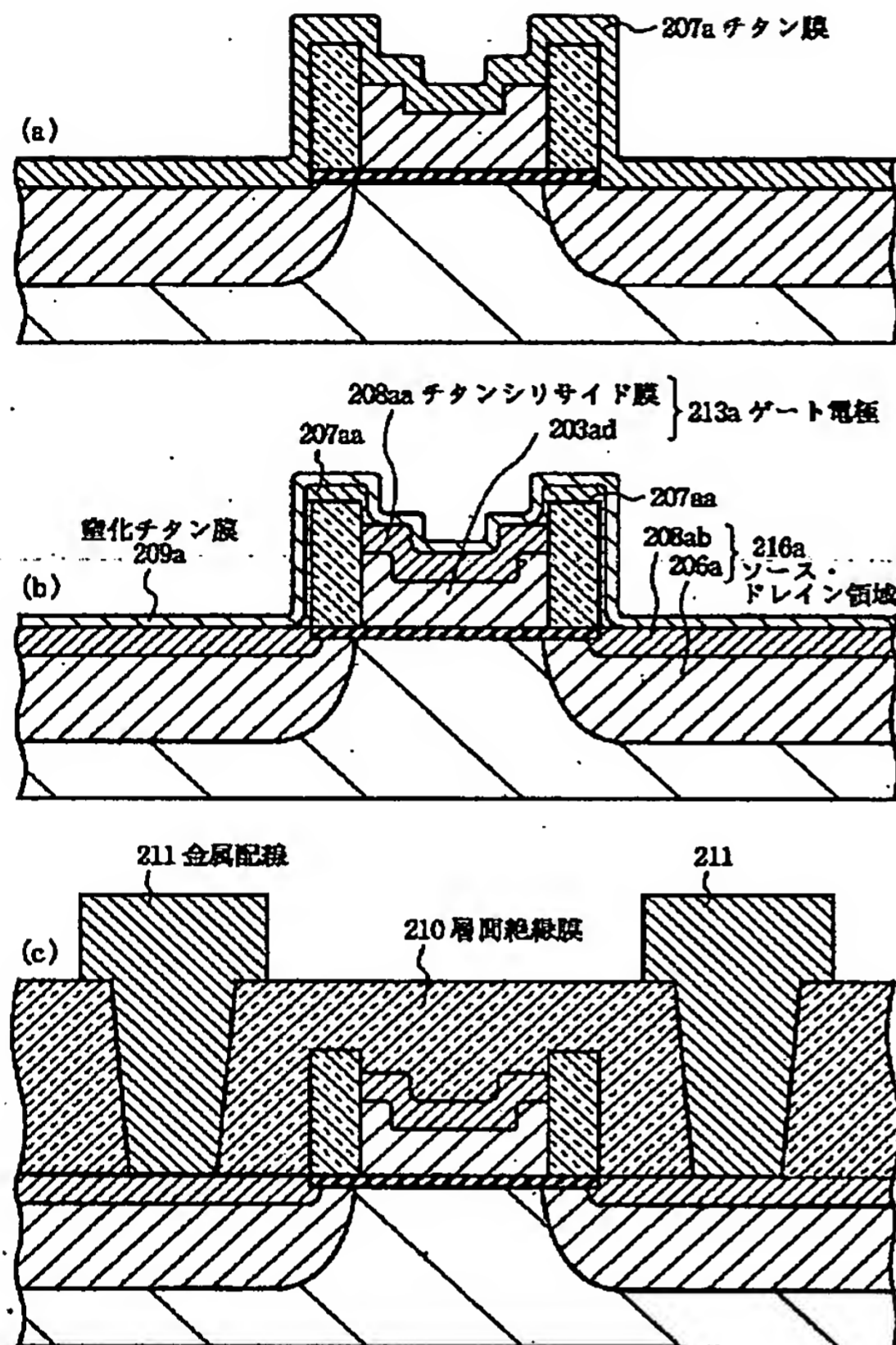
【図 10】



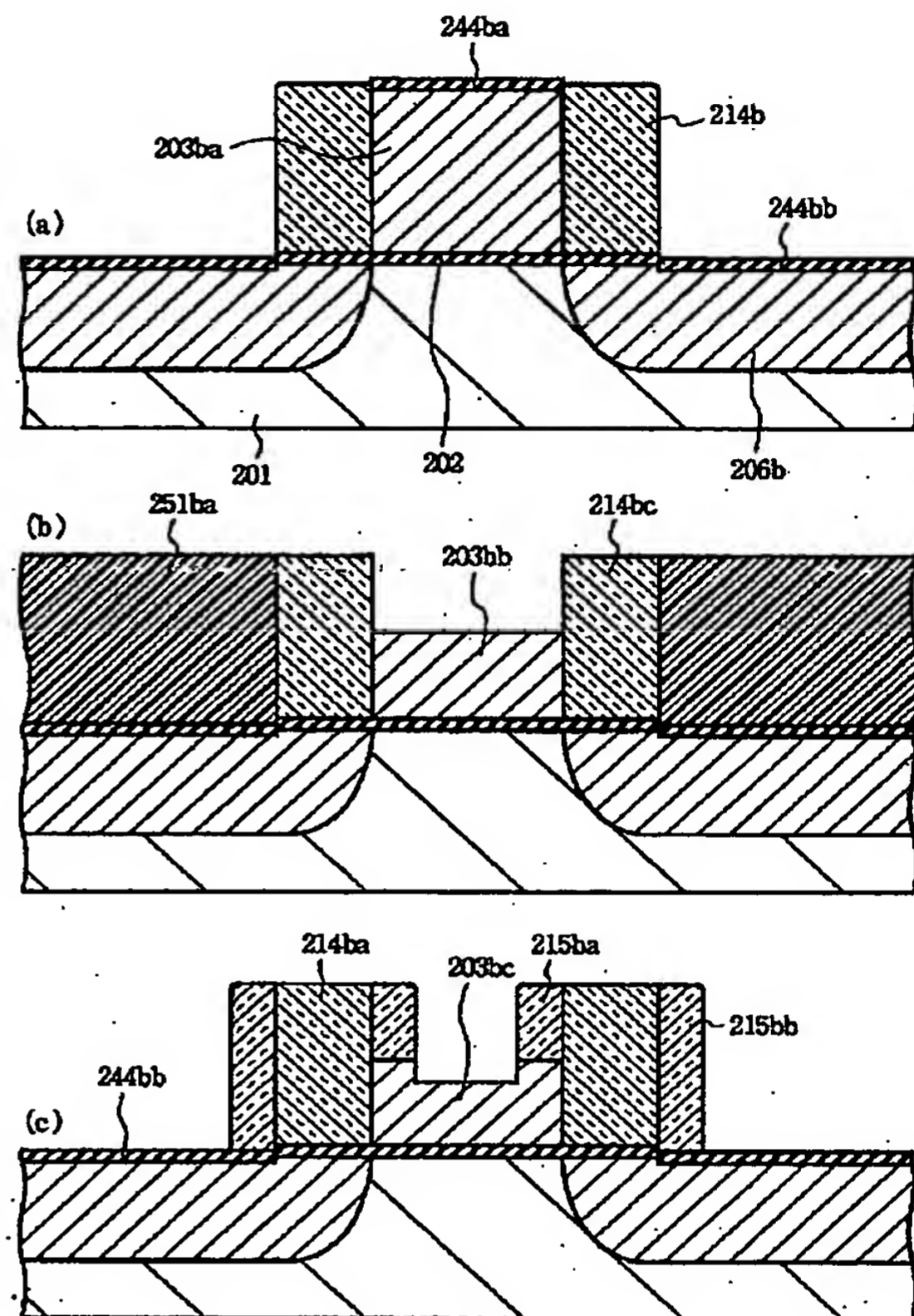
【図 11】



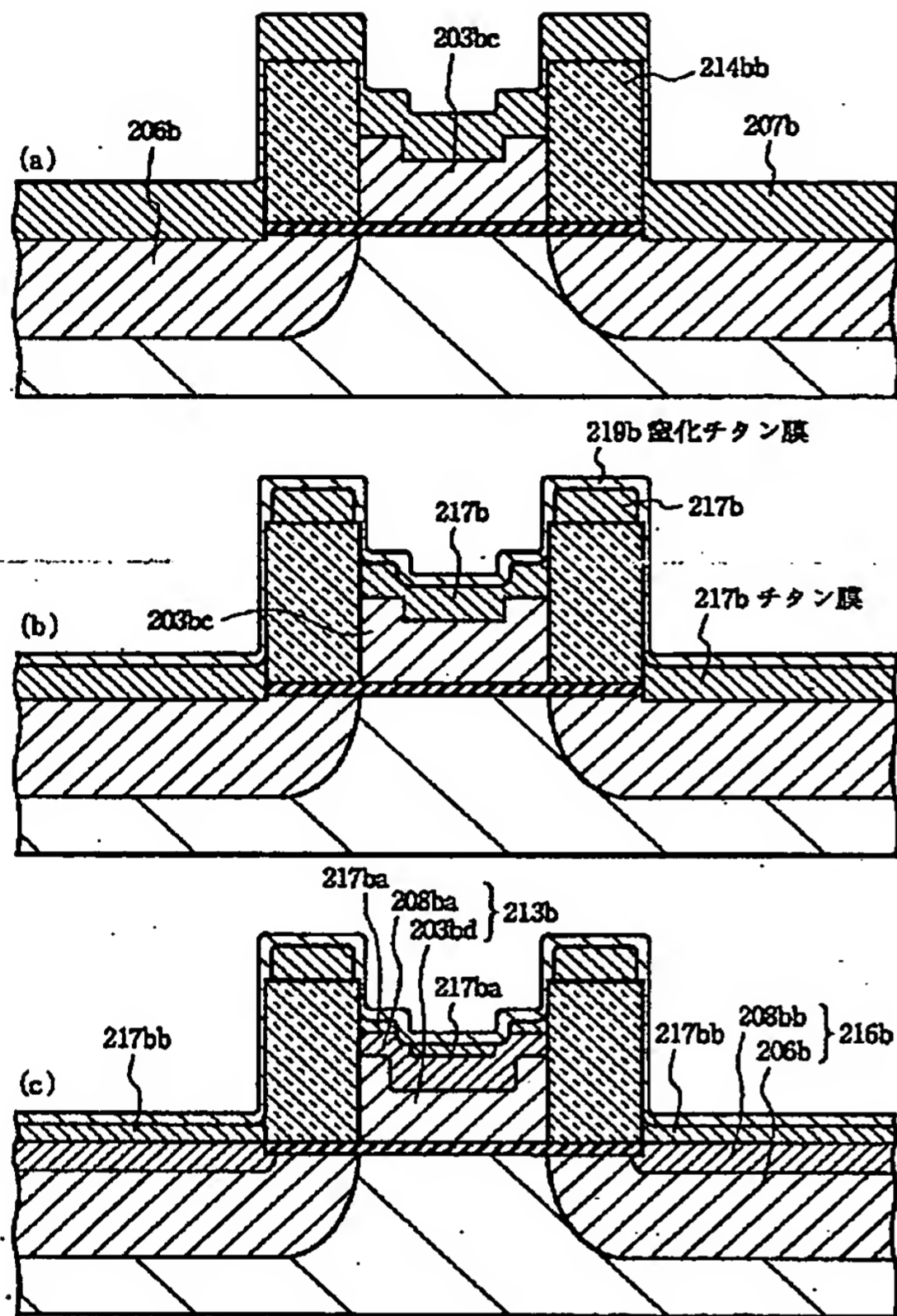
【図 12】



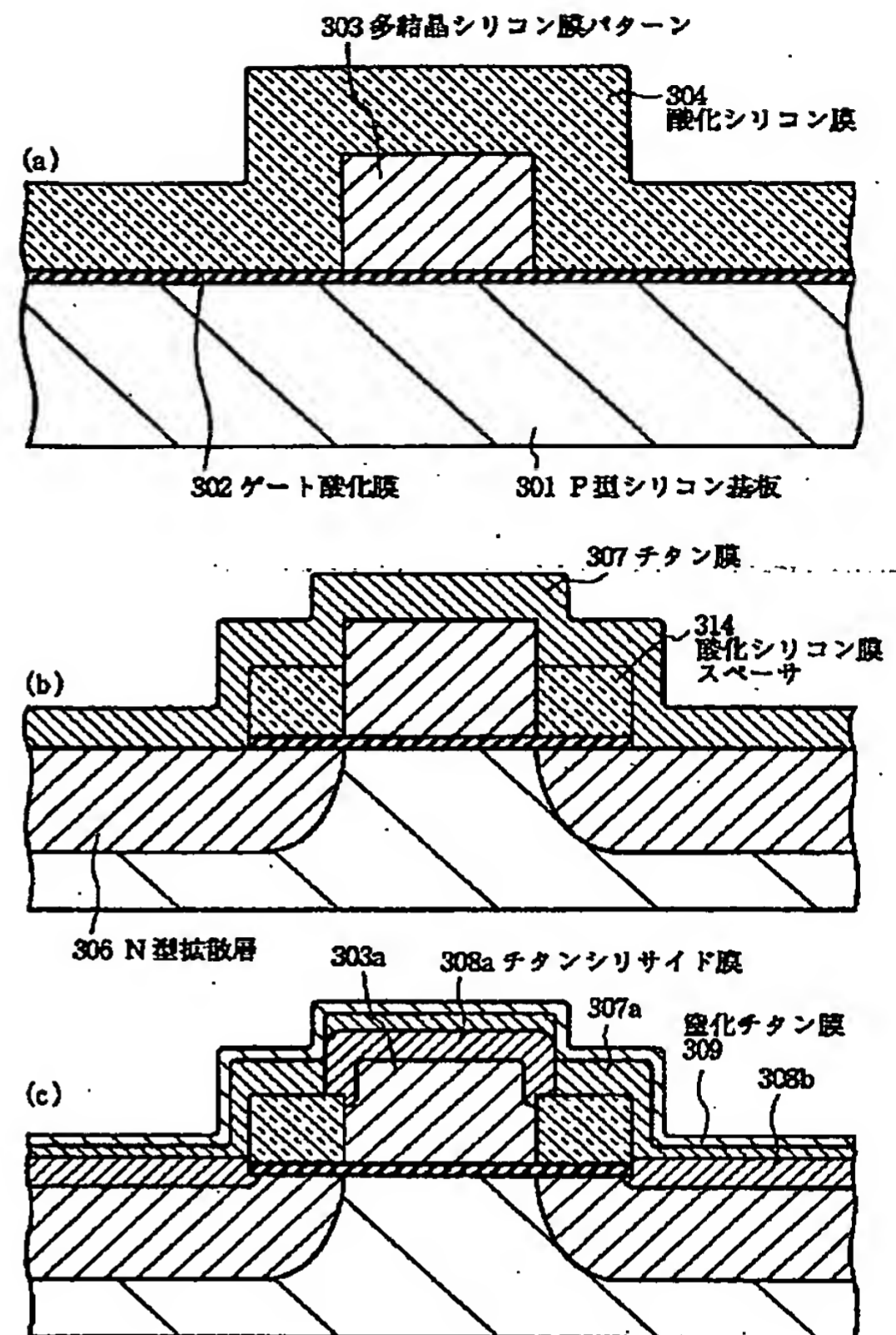
【図 13】



【図14】



【図16】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 21/3205

識別記号 庁内整理番号

F I

技術表示箇所

H01L 29/78

301 S